

Docket No.: 61282-061

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Kazuyuki KOUNO	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: February 19, 2004	:	Examiner: Unknown
	:	
For: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND WRITING METHOD THERETO		

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-044450, filed February 21, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
**Date: February 19, 2004**

G/282-061  
KOUNO  
February 19, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月 2 1 日  
Date of Application:

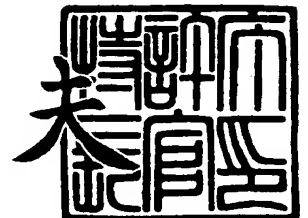
出 願 番 号                      特 願 2 0 0 3 - 0 4 4 4 5 0  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 4 4 4 5 0 ]

出      願      人                      松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 0 月 2 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 8 9 5 9 3

【書類名】 特許願

【整理番号】 5038340127

【提出日】 平成15年 2月21日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/02  
G11C 16/06

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 河野 和幸

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

## 【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

## 【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

## 【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその書き込み方法

【特許請求の範囲】

【請求項 1】 複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線との交点にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記複数のメモリセルから構成されるページへの一括書き込み動作を実現するために、ビット線毎あるいは複数のビット線毎に配置される書き込み回路と、書き込み動作に必要な電圧を発生する電圧発生回路とを備えた不揮発性半導体記憶装置において、

前記書き込み回路は、複数ページの書き込みデータを格納するための複数のラッチ回路と、前記複数のラッチ回路とビット線とを接続するビット線接続回路とを備え、

前記電圧発生回路を継続動作させて、プログラム動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータを順次選択して複数ページのプログラム動作を連続して行う連続プログラム動作と、前記電圧発生回路を継続動作させて、ベリファイ動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータを順次選択して複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返すことにより、複数ページの書き込み動作を行う制御回路をさらに備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 選択ページのラッチ回路に格納された書き込みデータのプログラム動作中あるいはベリファイ動作中に、前記選択ページ以外のラッチ回路に対して書き込みデータの設定を行う制御回路をさらに備えたことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記複数のラッチ回路と前記ビット線接続回路との間に、前記ラッチ回路の出力電圧レベルを高電圧レベルに電圧変換するレベルシフト回路をさらに備えたことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 ベリファイ動作時にメモリセルが適正にプログラムされたことを検知する検知回路と、

前記複数のラッチ回路のラッチデータを個別にリセット可能な複数のラッチデータリセット回路と、

前記検知回路がメモリセルが適正にプログラムされたことを検知した場合は、所定のラッチ回路のラッチデータをリセットするために、所定のラッチデータリセット回路を選択するラッチデータリセット選択回路とをさらに備えたことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項5】 複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線との交点にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記複数のメモリセルから構成されるページへの一括書き込み動作を実現するために、ビット線毎あるいは複数のビット線毎に配置される書き込み回路と、書き込み動作に必要な電圧を発生する電圧発生回路とを備えた不揮発性半導体記憶装置において、

前記書き込み回路は、複数ページの書き込みデータを格納するために複数のラッチ回路が直列に接続された直列接続ラッチ群と、前記直列接続ラッチ群の最終段ラッチ回路とビット線とを接続するビット線接続回路とを備え、

前記直列接続ラッチ群の各ラッチ回路のラッチデータを次段のラッチ回路に転送し、且つ最終段ラッチ回路のラッチデータを初段ラッチ回路に転送することで前記直列接続ラッチ群の各ラッチ回路のラッチデータをリング状に転送するラッチデータ転送制御回路と、

前記電圧発生回路を継続動作させて、プログラム動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータをリング状に転送して複数ページのプログラム動作を連続して行う連続プログラム動作と、前記電圧発生回路を継続動作させて、ベリファイ動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータをリング状に転送して複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返し行うことにより、複数ページの書き込み動作を行う制御回路とをさらに備えたことを特徴とする不揮発性半導体記憶装置。

【請求項6】 選択ページのラッチ回路に格納された書き込みデータのプログラム動作中あるいはベリファイ動作中に、前記選択ページ以外のラッチ回路に

対して書き込みデータの設定を行う制御回路をさらに備えたことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】 前記直列接続ラッチ群の最終段ラッチ回路と前記ビット線接続回路との間に、前記最終段ラッチ回路の出力電圧レベルを高電圧レベルに電圧変換するレベルシフト回路をさらに備えたことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 8】 ベリファイ動作時にメモリセルが適正にプログラムされたことを検知する検知回路と、

前記検知回路がメモリセルが適正にプログラムされたことを検知した場合は、前記直列接続ラッチ群の最終段ラッチ回路のラッチデータをリセットするラッチデータリセット回路とをさらに備えたことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 9】 前記複数のラッチ回路がフリップフロップ回路により構成されたことを特徴とする請求項 1 または請求項 5 記載の不揮発性半導体記憶装置。

【請求項 10】 選択ページのラッチ回路に書き込みデータを設定中は、前記選択ページのラッチ回路へ書き込みデータの設定が終了するまで、前記選択ページ以外のページで、且つ書き込みデータの設定が完了したページの連続プログラム動作及び連続ベリファイ動作を行う制御回路をさらに備えたことを特徴とする請求項 1 または請求項 5 記載の不揮発性半導体記憶装置。

【請求項 11】 選択ページのラッチ回路に格納された書き込みデータにプログラムデータが含まれていない場合は、前記選択ページのプログラム動作及びベリファイ動作を行わずに、次ページのプログラム動作及びベリファイ動作を行う制御回路をさらに備えたことを特徴とする請求項 1 または請求項 5 記載の不揮発性半導体記憶装置。

【請求項 12】 選択ページのベリファイ動作で、前記選択ページのメモリセルが適正にプログラムされたことが確認された場合は、引き続き行われる次ページのプログラム動作中あるいはベリファイ動作中に、前記書き込み動作が完了したページのラッチ回路へ、新たなページの書き込みデータの設定を行う制御回路をさらに備えたことを特徴とする請求項 1 または請求項 5 記載の不揮発性半導

体記憶装置。

【請求項 13】 前記メモリセルアレイは 1 本のワード線に複数ページのメモリセルが接続された構成であり、前記ワード線にプログラム動作に必要な電圧を継続して印加した状態で前記連続プログラム動作を行う制御回路をさらに備えたことを特徴とする請求項 1 または請求項 5 記載の不揮発性半導体記憶装置。

【請求項 14】 前記メモリセルアレイは 1 本のワード線に複数ページのメモリセルが接続された構成であり、前記ワード線にベリファイ動作に必要な電圧を継続して印加した状態で前記連続ベリファイ動作を行う制御回路をさらに備えたことを特徴とする請求項 1 または請求項 5 記載の不揮発性半導体記憶装置。

【請求項 15】 前記メモリセルアレイは 1 本のワード線に複数ページのメモリセルが接続された構成であり、前記連続プログラム動作中あるいは前記連続ベリファイ動作中に、非選択のビット線を接地電位に設定するビット線リセット回路をさらに備えたことを特徴とする請求項 1 または請求項 5 記載の不揮発性半導体記憶装置。

【請求項 16】 複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線との交点にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記複数のメモリセルから構成されるページへの一括書き込み動作を実現するために、複数ページの書き込みデータを格納するための複数のラッチ回路と、前記複数のラッチ回路とビット線とを接続するビット線接続回路とを有したビット線毎あるいは複数のビット線毎に配置される書き込み回路と、書き込み動作に必要な電圧を発生する電圧発生回路とを備えた不揮発性半導体記憶装置の書き込み方法であって、

前記電圧発生回路を継続動作させて、プログラム動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータを順次選択して複数ページのプログラム動作を連続して行う連続プログラム動作と、前記電圧発生回路を継続動作させて、ベリファイ動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータを順次選択して複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返し行うことにより、複数ページの書き込み動作を行うこと



を特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項 17】 選択ページのラッチ回路に格納された書き込みデータのプログラム動作中あるいはベリファイ動作中に、前記選択ページ以外のラッチ回路に対して書き込みデータの設定を行うことを特徴とする請求項 16 記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 18】 複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線との交点にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記複数のメモリセルから構成されるページへの一括書き込み動作を実現するために、複数ページの書き込みデータを格納するために複数のラッチ回路が直列に接続された直列接続ラッチ群と、前記直列接続ラッチ群の最終段ラッチ回路とビット線とを接続するビット線接続回路とを有したビット線毎あるいは複数のビット線毎に配置される書き込み回路と、前記直列接続ラッチ群の各ラッチ回路のラッチデータを次段のラッチ回路に転送し、且つ最終段ラッチ回路のラッチデータを初段ラッチ回路に転送することで前記直列接続ラッチ群の各ラッチ回路のラッチデータをリング状に転送するラッチデータ転送制御回路と、書き込み動作に必要な電圧を発生する電圧発生回路とを備えた不揮発性半導体記憶装置の書き込み方法であって、

前記電圧発生回路を継続動作させて、プログラム動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータをリング状に転送して複数ページのプログラム動作を連続して行う連続プログラム動作と、前記電圧発生回路を継続動作させて、ベリファイ動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータをリング状に転送して複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返し行うことにより、複数ページの書き込み動作を行うことを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項 19】 選択ページのラッチ回路に格納された書き込みデータのプログラム動作中あるいはベリファイ動作中に、前記選択ページ以外のラッチ回路に対して書き込みデータの設定を行うことを特徴とする請求項 18 記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 20】 選択ページのラッチ回路に書き込みデータを設定中は、前記選択ページのラッチ回路へ書き込みデータの設定が終了するまで、前記選択ページ以外のページで、且つ書き込みデータの設定が完了したページの連続プログラム動作及び連続ベリファイ動作を行うことを特徴とする請求項 16 または請求項 18 記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 21】 選択ページのラッチ回路に格納された書き込みデータにプログラムデータが含まれていない場合は、前記選択ページのプログラム動作及びベリファイ動作を行わずに、次ページのプログラム動作及びベリファイ動作を行うことを特徴とする請求項 16 または請求項 18 記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 22】 選択ページのベリファイ動作で、前記選択ページのメモリセルが適正にプログラムされたことが確認された場合は、引き続き行われる次ページのプログラム動作中あるいはベリファイ動作中に、前記書き込み動作が完了したページのラッチ回路へ、新たなページの書き込みデータの設定を行うことを特徴とする請求項 16 または請求項 18 記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 23】 前記メモリセルアレイは 1 本のワード線に複数ページのメモリセルが接続された構成であり、前記ワード線にプログラム動作に必要な電圧を継続して印加した状態で前記連続プログラム動作を行うことを特徴とする請求項 16 または請求項 18 記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 24】 前記メモリセルアレイは 1 本のワード線に複数ページのメモリセルが接続された構成であり、前記ワード線にベリファイ動作に必要な電圧を継続して印加した状態で前記連続ベリファイ動作を行うことを特徴とする請求項 16 または請求項 18 記載の不揮発性半導体記憶装置の書き込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電氣的にデータの書き換えが可能な不揮発性半導体記憶装置に関し、より詳細にはデータの高速書き込みが可能な不揮発性半導体記憶装置及びその書

き込み方法に関する。

#### 【0002】

##### 【従来の技術】

近年、不揮発性半導体記憶装置、特にフラッシュメモリは、電氣的にデータの書き換えが可能で、且つ電源を切った状態でもデータを保持することができるため、様々な分野で使用されている。例えば、携帯電話、デジタルカメラ、シリコンオーディオプレーヤー等の携帯端末にはデータ格納用の記憶装置として用いられている。また、マイクロコンピュータ等のシステムLSIにも書き換え可能なプログラム格納用の記憶装置としてフラッシュメモリは混載されており、セット機器の開発期間短縮を実現している。

#### 【0003】

フラッシュメモリのデータ書き込み時間はマイクロ秒オーダーと遅いため、通常、複数のデータを予めラッチ回路に格納し、その後、ラッチ回路に格納された複数のデータの一括書き込み動作を行うことにより、実効的な書き込み時間の短縮を図っている。

#### 【0004】

以下、従来のフラッシュメモリ(不揮発性半導体記憶装置)における書き込み動作について図13～図16を参照して説明する(例えば、特許文献1あるいは特許文献2参照)。

#### 【0005】

図13は、従来のフラッシュメモリ(不揮発性半導体記憶装置)のメモリセルアレイ及び書き込み回路の構成を示す図である。図13において、メモリセルアレイ1はNOR型のフラッシュメモリセルアレイである。具体的に説明すると、メモリセルアレイ1はワード線WL1、WL2(ワード線は2本のみ図示している)、ビット線BL1～BLNを備えており、ワード線とビット線との交点にメモリセルM11～M2Nがマトリクス状に配置されている。メモリセルのコントロールゲートはワード線WL1、WL2に、ドレインはビット線BL1～BLNに、ソースはソース線SLに、基板はウェル線PWに接続されている。ここで、メモリセルM11～M2Nのソースは共通のソース線SLに、基板は共通のウェル線

PWに接続されており、1つの消去ブロックを構成している。

#### 【0006】

ビット線BL1～BLNにはそれぞれビット線リセット回路が接続されている。ビット線BL1に接続されているビット線リセット回路について説明すると、ビット線リセット回路はビット線リセットトランジスタRT1により構成され、ビット線リセットトランジスタRT1はゲートがビット線リセット制御信号BLRSTに接続され、ソースが接地電位に接続され、ドレインがビット線BL1に接続されている。ビット線リセットトランジスタRT1はビット線リセット制御信号BLRSTによりビット線BL1を接地電位に設定する役割を果たす。ビット線BL2～BLNに接続されているビット線リセット回路にも同様の回路が接続されている。

#### 【0007】

また、ビット線BL1～BLNにはそれぞれ書き込み回路2-1～2-Nが接続されている。ビット線毎に書き込み回路が配置されているので、1回の書き込み動作で1本のワード線に接続された全てのメモリセルに対して一括書き込み動作が可能である。例えば、ワード線WL1に接続されたN個のメモリセルM11～M1Nはページ1を構成しており、書き込み時にはワード線WL1を選択することでページ1に対して一括書き込みが行われる。同様に、ワード線WL2に接続されたN個のメモリセルM21～M2Nはページ2を構成しており、書き込み時にはワード線WL2を選択することでページ2に対して一括書き込みが行われる。

#### 【0008】

次に、ビット線毎に接続されている書き込み回路2-1～2-Nの構成について、ビット線BL1に接続されている書き込み回路2-1を例に説明する。

#### 【0009】

書き込み回路2-1は、インバータINV1とINV2から構成されるラッチ回路LATと、NチャネルトランジスタTGNとPチャネルトランジスタTGPから構成されるトランスファゲートTGと、Nチャネルトランジスタから構成されるラッチデータ格納スイッチTNとから構成される。

**【0010】**

ラッチ回路LATは書き込みデータを一時的にラッチする回路であり、インバータINV1とINV2の電源には正高電圧発生回路(図13には図示していない)の出力電圧VPPが供給されている。

**【0011】**

トランスファゲートTGはラッチ回路LATの出力N1とビット線BL1とを接続、遮断するためのスイッチであり、トランスファゲート制御信号TGSにより制御される。トランスファゲート制御信号TGSはNチャネルトランジスタTGNのゲートに接続され、トランスファゲート制御信号TGSが入力されたインバータILSの出力信号はPチャネルトランジスタTGPのゲートに接続される。インバータILSの電源、及びPチャネルトランジスタTGPの基板には高電圧VPPが供給されている。

**【0012】**

ラッチデータ格納スイッチTNは外部入力データIOとラッチ回路LATの入力N2とを接続、遮断するためのスイッチであり、データラッチ制御信号DLとラッチ選択信号LATSELを入力とするAND論理素子ANDの出力信号がゲートに接続されている。所定のラッチ回路に書き込みデータを格納する際にはデータラッチ制御信号DLとラッチ選択信号LATSELが共に「H」レベルとなり、ラッチデータ格納スイッチTNが開くことでラッチ回路LATに外部入力データIOが設定される。

**【0013】**

ここで、プログラムデータ(0データ)を格納するとラッチ回路LATの出力N1は「H」レベルに、一方、イレーズデータ(1データ)を格納するとラッチ回路LATの出力N1は「L」レベルに設定される。データ格納後、ラッチデータ格納スイッチTNが閉じることでラッチ回路LATに書き込みデータが保持される。

**【0014】**

以上、ビット線BL1に接続された書き込み回路2-1の構成について説明したが、ビット線BL2～BLNに接続されている書き込み回路2-2～2-Nに

も同様の回路が接続されている。

#### 【0015】

以上のように構成された書き込み回路について、以下、その書き込み動作について説明する。

#### 【0016】

図14は、従来のフラッシュメモリ(不揮発性半導体記憶装置)の書き込み動作を説明するためのフローチャート図である。図14では、ワード線WL1に接続されたページ1のメモリセルとワード線WL2に接続されたページ2のメモリセルへ書き込み動作を行った場合のフローチャート図を示している。

#### 【0017】

始めに、プログラムコマンドを入力することで書き込み動作が開始する(ステップS100)。ページ1の書き込み動作(Page Program1)を行うために、ラッチ回路LATにページ1の書き込みデータを格納する(ステップS110)。データラッチ終了後、ページ1のプログラム動作が行われる(ステップS120)。

#### 【0018】

プログラム動作終了後、ページ1のメモリセルへデータが適正に書き込まれたことを確認するためのベリファイ動作が行われる(ステップS130)。ベリファイ動作で1ビットでも適正に書き込まれていないメモリセルがあると判定された場合(以下、この場合をフェイルしたと呼ぶことにする)は、再度プログラム動作とベリファイ動作が行われる(ステップS140)。複数回のプログラム動作とベリファイ動作を行い、ページ1の全てのメモリセルが適正に書き込まれたと判定された場合(以下、この場合をパスしたと呼ぶことにする)に、ページ1の書き込み動作が終了し、続いてページ2の書き込み動作(Page Program2)が開始される。

#### 【0019】

ページ2の書き込み動作もページ1の書き込み動作と同様に、データラッチ動作(ステップS150)、プログラム動作(ステップS160)、ベリファイ動作(ステップS170)、ベリファイ動作でパスするまでプログラム動作とベリファイ動作の繰り返し(ステップS180)により行われる。複数回のプログラム動作

とベリファイ動作を行い、ベリファイ動作でパスした場合にページ2の書き込み動作が終了し、ページ1とページ2の書き込み動作が終了する(ステップS190)。

#### 【0020】

図15は、従来のフラッシュメモリ(不揮発性半導体記憶装置)の書き込み動作を説明するためのタイミングチャート図である。図15では、データラッチ制御信号DL、正高電圧発生回路(図13には図示していない)の出力電圧VPP、負高電圧発生回路(図13には図示していない)の出力電圧VNN、ワード線WL1、WL2の動作波形について示している。

#### 【0021】

ページ1の書き込み動作(Page Program1)において、始めにラッチ回路LATへのデータラッチがデータラッチ制御信号DLにより行われる(Data Latch1)。データラッチ期間中、ワード線WL1、WL2、ソース線SL、ウェル線PWは接地電位に設定されている。また、トランスファゲートTGは非活性化状態に、ビット線リセット回路は活性化状態になっており、ビット線は接地電位に設定されている。

#### 【0022】

データラッチ終了後、プログラムモードに移行し、正高電圧発生回路と負高電圧発生回路はプログラム動作に必要な5V(VPP)と-8V(VNN)の高電圧をそれぞれ発生する。正高電圧発生回路と負高電圧発生回路の出力電圧VPP、VNNが所定の電圧に達した後に、ワード線WL1を-8Vに、ソース線SLを高インピーダンス状態に、ビット線リセット回路を非活性化状態に、トランスファゲートTGを活性化状態にして、ラッチ回路LATの出力N1とビット線とを接続することでプログラム動作を開始する。

#### 【0023】

ここで、ラッチ回路LATにプログラムデータ(0データ)が格納されている場合は、ラッチ回路LATの出力N1は「H」レベルに設定されているため、ビット線には正の高電圧5Vが印加される。一方、イレースデータ(1データ)が格納されている場合は、ラッチ回路LATの出力N1は「L」レベルに設定されてい

るため、ビット線には接地電位(0 V)が印加される。

#### 【0 0 2 4】

メモリセルのコントロールゲート(ワード線)には-8 Vが印加されているので、ドレイン(ビット線)に5 Vが印加された時にはトンネル酸化膜に高電界が印加され、F N (Fowler-Nordheim)電流によってフローティングゲートに蓄積されている電子がドレイン側に引き抜かれることでプログラムが行われる。一方、ドレイン(ビット線)に接地電位(0 V)が印加された時にはトンネル酸化膜にF N電流を発生させる高電界が印加されないため、メモリセルのプログラムは行われない。所定の時間プログラムが行われた後、ワード線WL 1、ソース線SLを接地電位に、トランスファゲートTGを非活性化状態に、ビット線リセット回路を活性化状態にしてビット線を接地電位に設定することでプログラム動作を終了し、ベリファイモードに移行する。

#### 【0 0 2 5】

ベリファイモード移行後、正高電圧発生回路と負高電圧発生回路は電源電圧VDDと接地電位VSSの電圧をそれぞれ発生する。正高電圧発生回路と負高電圧発生回路の出力電圧VPP、VNNが所定の電圧に達した後に、ビット線リセット回路を非活性化状態に、トランスファゲートTGを活性化状態にして、プログラムデータ(ラッチ回路LATの出力N1が「H」レベル)であるビット線のみを電源電圧VDDにプリチャージする。

#### 【0 0 2 6】

ビット線のプリチャージが終了後、トランスファゲートTGを非活性化状態にしてラッチ回路LATとビット線とを切り離し、ワード線WL 1に1 Vの電圧を印加する。

#### 【0 0 2 7】

ここで、メモリセルのしきい値電圧が1 V以下(メモリセルが適正にプログラムされている)であればメモリセルを通じてビット線のディスチャージが行われ、ビット線の電位は接地電位に向かって下降する。一方、メモリセルのしきい値電圧が1 V以上(メモリセルが適正にプログラムされていない)であればメモリセルを通じたビット線のディスチャージは行われないため、ビット線の電位は電源



電圧 VDD を維持する。

【 0 0 2 8 】

所定の時間経過後、再度トランスファゲート T G を活性化状態にしてラッチ回路 L A T とビット線とを接続する。ここで、メモリセルのしきい値電圧が 1 V 以下 (メモリセルが適正にプログラムされている) であればビット線が接地電位にディスチャージされているため、ラッチ回路 L A T の出力 N 1 が「L」レベル (イレーズデータ) に書き換えられ、以後のプログラムは行われない。一方、メモリセルのしきい値電圧が 1 V 以上 (メモリセルが適正にプログラムされていない) であればラッチ回路 L A T の出力 N 1 は最初に設定されたデータがそのまま保持され、以後のプログラム動作で再度プログラムが行われる。

【 0 0 2 9 】

所定の時間経過後、ワード線 W L 1 を接地電位に、トランスファゲート T G を非活性化状態に、ビット線リセット回路を活性化状態にしてビット線を接地電位に設定することでベリファイ動作を終了する。ベリファイ動作終了時点でラッチ回路 L A T に 1 ビットでもプログラムデータが残っている場合 (フェイル) は、再度プログラム動作 (Program1) とベリファイ動作 (Verify1) が行われる。

【 0 0 3 0 】

複数回のプログラム動作とベリファイ動作で全てのラッチ回路のラッチデータがイレーズデータに書き換えられた場合 (パス) にページ 1 の書き込み動作が終了し、続いて W L 2 上のページ 2 の書き込み動作 (Page Program2) が行われる。ページ 2 の書き込み動作もページ 1 と同様にデータラッチ動作 (Data Latch2)、及びプログラム動作 (Program2) とベリファイ動作 (Verify2) の繰り返しにより行われる。

【 0 0 3 1 】

図 1 6 は、従来のフラッシュメモリ (不揮発性半導体記憶装置) の書き込みコマンド及び内部動作状態を示す図である。始めに、プログラムコマンド C M 1 とページ 1 のプログラムアドレス A D 1 を入力し、引き続きページ 1 の書き込みデータを入力する。書き込みデータ入力後にプログラムコマンド C M 2 を入力することでビジー状態となり、ページ 1 の書き込み動作が開始される。書き込み動作は

プログラム動作とベリファイ動作を繰り返し行うことにより実施され、ベリファイ動作でパスした場合にページ1の書き込み動作が終了する。ページ1の書き込み動作終了後、レディー状態となり、ページ2の書き込み動作が可能となる。

#### 【0032】

続いて、プログラムコマンドCM1とページ2のプログラムアドレスAD2を入力し、引き続きページ2の書き込みデータを入力する。書き込みデータ入力後にプログラムコマンドCM2を入力することでビジー状態となり、ページ2の書き込み動作が開始される。ページ2の書き込み動作もページ1と同様に、プログラム動作とベリファイ動作を繰り返し行うことにより実施され、ベリファイ動作でパスした場合にページ2の書き込み動作が終了する。

#### 【0033】

##### 【特許文献1】

特開平7-226097号公報

##### 【特許文献2】

特開平11-328981号公報

#### 【0034】

##### 【発明が解決しようとする課題】

しかしながら、前述した従来の不揮発性半導体記憶装置(フラッシュメモリ)に関しては以下に示すような課題があった。第1に、書き込みデータをラッチ回路に格納するためのデータラッチ時間が必要である。近年、不揮発性半導体記憶装置の記憶容量は大容量化しており、1ページのビット数(一括書き込みビット数)を増やすことで、実効的な書き込み時間の短縮が図られている。しかし、1ページのビット数増大に伴い、1ページの書き込み動作におけるデータラッチ時間が増大し、書き込み時間の増大を引き起こす。近年の不揮発性半導体記憶装置では1ページのデータラッチ時間がマイクロ秒オーダーと長い場合があり、書き込み時間の増大に大きな影響を及ぼす。

#### 【0035】

第2に、1ページの書き込み動作でプログラム動作とベリファイ動作を繰り返し行うため、各プログラム動作、ベリファイ動作毎に高電圧発生回路がプログラ

ム動作、ベリファイ動作に必要な電圧を発生する必要がある。このため、各プログラム動作、ベリファイ動作開始時には高電圧発生回路が所定の電圧を出力して安定するまでの時間(電圧出力安定待ち時間)だけ待つ必要がある。例えば、図 1 5 において、プログラム動作時には高電圧発生回路の出力電圧  $V_{PP}$ 、 $V_{NN}$  が所定の電圧を出力して安定するのに時間  $T_{ps}$  だけ待つ必要がある。また、ベリファイ動作時には高電圧発生回路の出力電圧  $V_{PP}$ 、 $V_{NN}$  が所定の電圧を出力して安定するのに時間  $T_{pvs}$  だけ待つ必要がある。この電圧出力安定待ち時間はマイクロ秒オーダーの時間であり、書き込み時間の増大を引き起こす。不揮発性半導体記憶装置の記憶容量の増大に伴い、プログラム動作とベリファイ動作のサイクル数が増加し、電圧出力安定待ち時間が書き込み時間の増大に大きな影響を及ぼす。

#### 【0 0 3 6】

第 3 に、1 ページの書き込み動作でプログラム動作とベリファイ動作を繰り返して行うため、各プログラム動作、ベリファイ動作毎にワード線にプログラム電圧、ベリファイ電圧を印加する必要がある。このため、各プログラム動作、ベリファイ動作毎にワード線の立ち上げ時間、立ち下げ時間が必要である。例えば、図 1 5 において、プログラム開始時にはワード線に  $-8\text{ V}$  の電圧を印加するために立ち下げ時間  $T_{p1}$  が必要である。さらに、プログラム終了時にはワード線を接地電位に戻すために立ち上げ時間  $T_{p2}$  が必要である。また、ベリファイ開始時にはワード線に  $1\text{ V}$  の電圧を印加するために立ち上げ時間  $T_{p v 1}$  が必要である。さらに、ベリファイ終了時にはワード線を接地電位に戻すために立ち下げ時間  $T_{p v 2}$  が必要である。不揮発性半導体記憶装置の記憶容量の増大に伴い、プログラム動作とベリファイ動作のサイクル数が増加し、ワード線の立ち上げ時間、立ち下げ時間が書き込み時間の増大に大きな影響を及ぼす。

#### 【0 0 3 7】

本発明は、前述した問題に鑑みてなされたものであり、その目的は、データの高速書き込みが可能な不揮発性半導体記憶装置及びその書き込み方法を提供することである。

#### 【0 0 3 8】

**【課題を解決するための手段】**

上記課題を解決するために、本発明の請求項 1 に係る不揮発性半導体記憶装置は、複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線との交点にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記複数のメモリセルから構成されるページへの一括書き込み動作を実現するために、ビット線毎あるいは複数のビット線毎に配置される書き込み回路と、書き込み動作に必要な電圧を発生する電圧発生回路とを備えた不揮発性半導体記憶装置において、前記書き込み回路は、複数ページの書き込みデータを格納するための複数のラッチ回路と、前記複数のラッチ回路とビット線とを接続するビット線接続回路とを備え、前記電圧発生回路を継続動作させて、プログラム動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータを順次選択して複数ページのプログラム動作を連続して行う連続プログラム動作と、前記電圧発生回路を継続動作させて、ベリファイ動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータを順次選択して複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返し行うことにより、複数ページの書き込み動作を行う制御回路をさらに備えたことを特徴とする。

**【0 0 3 9】**

上記構成により、連続プログラム動作中は、電圧発生回路がプログラム動作に必要な電圧を出力し続けた状態で複数ページのプログラム動作を実施することができるため、電圧発生回路のプログラム電圧出力安定待ち時間を削減することができ、プログラム時間の短縮を図ることができる。また、連続ベリファイ動作中は、電圧発生回路がベリファイ動作に必要な電圧を出力し続けた状態で複数ページのベリファイ動作を実施することができるため、電圧発生回路のベリファイ電圧出力安定待ち時間を削減することができ、ベリファイ時間の短縮を図ることができる。従って、データの高速書き込みを実現することができる。さらに、ビット線接続回路を切り替えるのみで、次ページの書き込み動作が可能となるため、データの高速書き込みを実現することができる。

**【0 0 4 0】**

本発明の請求項 2 に係る不揮発性半導体記憶装置は、請求項 1 記載の不揮発性半導体記憶装置において、選択ページのラッチ回路に格納された書き込みデータのプログラム動作中あるいはベリファイ動作中に、前記選択ページ以外のラッチ回路に対して書き込みデータの設定を行う制御回路をさらに備えたことを特徴とする。

#### 【0 0 4 1】

上記構成により、選択ページのプログラム動作あるいはベリファイ動作と並行して、選択ページ以外のラッチ回路に対して書き込みデータを設定することができるため、データラッチ時間を削減することができる。従って、データの高速書き込みを実現することができる。

#### 【0 0 4 2】

本発明の請求項 3 に係る不揮発性半導体記憶装置は、請求項 1 記載の不揮発性半導体記憶装置において、前記複数のラッチ回路と前記ビット線接続回路との間に、前記ラッチ回路の出力電圧レベルを高電圧レベルに電圧変換するレベルシフト回路をさらに備えたことを特徴とする。

#### 【0 0 4 3】

上記構成により、ラッチ回路の電源を電源電圧にすることができるため、安定したラッチ保持動作を実現することができる。さらに、プログラム動作時におけるデータラッチが容易となる。

#### 【0 0 4 4】

本発明の請求項 4 に係る不揮発性半導体記憶装置は、請求項 1 記載の不揮発性半導体記憶装置において、ベリファイ動作時にメモリセルが適正にプログラムされたことを検知する検知回路と、前記複数のラッチ回路のラッチデータを個別にリセット可能な複数のラッチデータリセット回路と、前記検知回路がメモリセルが適正にプログラムされたことを検知した場合は、所定のラッチ回路のラッチデータをリセットするために、所定のラッチデータリセット回路を選択するラッチデータリセット選択回路とをさらに備えたことを特徴とする。

#### 【0 0 4 5】

上記構成により、ビット線検知回路を複数のラッチ回路で共有することができ

るため、書き込み回路の回路規模の縮小を図ることができる。さらに、ラッチデータリセット回路の能力を調整することでラッチデータを確実にリセットすることができる。さらに、ラッチ回路とビット線接続回路との間にレベルシフト回路を入れた場合においても、ラッチデータのリセット動作を行うことができる。

#### 【0046】

本発明の請求項5に係る不揮発性半導体記憶装置は、複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線との交点にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記複数のメモリセルから構成されるページへの一括書き込み動作を実現するために、ビット線毎あるいは複数のビット線毎に配置される書き込み回路と、書き込み動作に必要な電圧を発生する電圧発生回路とを備えた不揮発性半導体記憶装置において、前記書き込み回路は、複数ページの書き込みデータを格納するために複数のラッチ回路が直列に接続された直列接続ラッチ群と、前記直列接続ラッチ群の最終段ラッチ回路とビット線とを接続するビット線接続回路とを備え、前記直列接続ラッチ群の各ラッチ回路のラッチデータを次段のラッチ回路に転送し、且つ最終段ラッチ回路のラッチデータを初段ラッチ回路に転送することで前記直列接続ラッチ群の各ラッチ回路のラッチデータをリング状に転送するラッチデータ転送制御回路と、前記電圧発生回路を継続動作させて、プログラム動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータをリング状に転送して複数ページのプログラム動作を連続して行う連続プログラム動作と、前記電圧発生回路を継続動作させて、ベリファイ動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータをリング状に転送して複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返し行うことにより、複数ページの書き込み動作を行う制御回路とをさらに備えたことを特徴とする。

#### 【0047】

上記構成により、連続プログラム動作中は、電圧発生回路がプログラム動作に必要な電圧を出力し続けた状態で複数ページのプログラム動作を実施することができるため、電圧発生回路のプログラム電圧出力安定待ち時間を削減することができる。

でき、プログラム時間の短縮を図ることができる。また、連続ベリファイ動作中は、電圧発生回路がベリファイ動作に必要な電圧を出力し続けた状態で複数ページのベリファイ動作を実施することができるため、電圧発生回路のベリファイ電圧出力安定待ち時間を削減することができ、ベリファイ時間の短縮を図ることができる。従って、データの高速書き込みを実現することができる。さらに、ラッチデータをシフト動作するのみで、次ページの書き込み動作が可能となるため、データの高速書き込みを実現することができる。さらに、ビット線接続回路を複数のラッチ回路で共有することができるため、書き込み回路の回路規模の縮小を図ることができる。

#### 【0048】

本発明の請求項6に係る不揮発性半導体記憶装置は、請求項5記載の不揮発性半導体記憶装置において、選択ページのラッチ回路に格納された書き込みデータのプログラム動作中あるいはベリファイ動作中に、前記選択ページ以外のラッチ回路に対して書き込みデータの設定を行う制御回路をさらに備えたことを特徴とする。

#### 【0049】

上記構成により、選択ページのプログラム動作あるいはベリファイ動作と並行して、選択ページ以外のラッチ回路に対して書き込みデータを設定することができるため、データラッチ時間を削減することができる。従って、データの高速書き込みを実現することができる。

#### 【0050】

本発明の請求項7に係る不揮発性半導体記憶装置は、請求項5記載の不揮発性半導体記憶装置において、前記直列接続ラッチ群の最終段ラッチ回路と前記ビット線接続回路との間に、前記最終段ラッチ回路の出力電圧レベルを高電圧レベルに電圧変換するレベルシフト回路をさらに備えたことを特徴とする。

#### 【0051】

上記構成により、ラッチ回路の電源を電源電圧にすることができるため、安定したラッチ保持動作を実現することができる。さらに、プログラム動作時におけるデータラッチが容易となる。

**【0052】**

本発明の請求項 8 に係る不揮発性半導体記憶装置は、請求項 5 記載の不揮発性半導体記憶装置において、ベリファイ動作時にメモリセルが適正にプログラムされたことを検知する検知回路と、前記検知回路がメモリセルが適正にプログラムされたことを検知した場合は、前記直列接続ラッチ群の最終段ラッチ回路のラッチデータをリセットするラッチデータリセット回路とをさらに備えたことを特徴とする。

**【0053】**

上記構成により、ラッチデータリセット回路の能力を調整することでラッチデータを確実にリセットすることができる。さらに、ラッチ回路とビット線接続回路との間にレベルシフト回路を入れた場合においても、ラッチデータのリセット動作を行うことができる。

**【0054】**

本発明の請求項 9 に係る不揮発性半導体記憶装置は、請求項 1 または請求項 5 記載の不揮発性半導体記憶装置において、前記複数のラッチ回路がフリップフロップ回路により構成されたことを特徴とする。

**【0055】**

上記構成により、複数のラッチ回路へのデータ格納、及びラッチデータ転送がクロックを入力するのみで可能となるため、ラッチ回路へのデータ格納制御、及びデータ転送制御が容易となる。

**【0056】**

本発明の請求項 10 に係る不揮発性半導体記憶装置は、請求項 1 または請求項 5 記載の不揮発性半導体記憶装置において、選択ページのラッチ回路に書き込みデータを設定中は、前記選択ページのラッチ回路へ書き込みデータの設定が終了するまで、前記選択ページ以外のページで、且つ書き込みデータの設定が完了したページの連続プログラム動作及び連続ベリファイ動作を行う制御回路をさらに備えたことを特徴とする。

**【0057】**

上記構成により、1 ページのデータラッチ時間が長い場合でも、その他のペー



ジの連続プログラム動作あるいは連続ベリファイ動作を並行して行うことができるため、効率的な書き込み動作を行うことができ、データの高速書き込みを実現することができる。

#### 【0058】

本発明の請求項11に係る不揮発性半導体記憶装置は、請求項1または請求項5記載の不揮発性半導体記憶装置において、選択ページのラッチ回路に格納された書き込みデータにプログラムデータが含まれていない場合は、前記選択ページのプログラム動作及びベリファイ動作を行わずに、次ページのプログラム動作及びベリファイ動作を行う制御回路をさらに備えたことを特徴とする。

#### 【0059】

上記構成により、書き込みデータにプログラムデータが含まれていないページ、または書き込み動作が終了したページの書き込み動作を行わずに、次ページの書き込み動作を行うことができるため、無駄なプログラム動作及びベリファイ動作を行うことがなくなり、データの高速書き込みを実現することができる。

#### 【0060】

本発明の請求項12に係る不揮発性半導体記憶装置は、請求項1または請求項5記載の不揮発性半導体記憶装置において、選択ページのベリファイ動作で、前記選択ページのメモリセルが適正にプログラムされたことが確認された場合は、引き続き行われる次ページのプログラム動作中あるいはベリファイ動作中に、前記書き込み動作が完了したページのラッチ回路へ、新たなページの書き込みデータの設定を行う制御回路をさらに備えたことを特徴とする。

#### 【0061】

上記構成により、書き込みが完了したページのラッチ回路に対して、引き続き行われる次ページのプログラム動作中あるいはベリファイ動作中に新たなページの書き込みデータを格納することができるため、次ページのデータラッチ時間を削減することができる。従って、データの高速書き込みを実現することができる。

#### 【0062】

本発明の請求項13に係る不揮発性半導体記憶装置は、請求項1または請求項

5 記載の不揮発性半導体記憶装置において、前記メモリセルアレイは 1 本のワード線に複数ページのメモリセルが接続された構成であり、前記ワード線にプログラム動作に必要な電圧を継続して印加した状態で前記連続プログラム動作を行う制御回路をさらに備えたことを特徴とする。

【 0 0 6 3 】

上記構成により、1 本のワード線に接続された複数ページの連続プログラム動作を、ワード線にプログラム電圧を印加し続けた状態で行うことができるため、プログラム動作時におけるワード線の電圧立ち上げ時間、電圧立ち下げ時間を削減することができる。従って、高速プログラム動作を実現することができる。さらに、ワード線の充放電回数を削減することができるため、低消費電力プログラム動作を実現することができる。

【 0 0 6 4 】

本発明の請求項 1 4 に係る不揮発性半導体記憶装置は、請求項 1 または請求項 5 記載の不揮発性半導体記憶装置において、前記メモリセルアレイは 1 本のワード線に複数ページのメモリセルが接続された構成であり、前記ワード線にベリファイ動作に必要な電圧を継続して印加した状態で前記連続ベリファイ動作を行う制御回路をさらに備えたことを特徴とする。

【 0 0 6 5 】

上記構成により、1 本のワード線に接続された複数ページの連続ベリファイ動作を、ワード線にベリファイ電圧を印加し続けた状態で行うことができるため、ベリファイ動作時におけるワード線の電圧立ち上げ時間、電圧立ち下げ時間を削減することができる。従って、高速ベリファイ動作を実現することができる。さらに、ワード線の充放電回数を削減することができるため、低消費電力ベリファイ動作を実現することができる。

【 0 0 6 6 】

本発明の請求項 1 5 に係る不揮発性半導体記憶装置は、請求項 1 または請求項 5 記載の不揮発性半導体記憶装置において、前記メモリセルアレイは 1 本のワード線に複数ページのメモリセルが接続された構成であり、前記連続プログラム動作中あるいは前記連続ベリファイ動作中に、非選択のビット線を接地電位に設定

するビット線リセット回路をさらに備えたことを特徴とする。

【0067】

上記構成により、選択ページのプログラム動作中あるいはベリファイ動作中に、非選択ページのビット線を接地電位に設定することができるため、選択ページのプログラム動作あるいはベリファイ動作終了後に、選択ページのビット線が接地電位にリセットされるのを待つことなく、次ページのプログラム動作あるいはベリファイ動作を行うことができる。従って、データの高速書き込みを実現することができる。

【0068】

本発明の請求項16に係る不揮発性半導体記憶装置の書き込み方法は、複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線との交点にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記複数のメモリセルから構成されるページへの一括書き込み動作を実現するために、複数ページの書き込みデータを格納するための複数のラッチ回路と、前記複数のラッチ回路とビット線とを接続するビット線接続回路とを有したビット線毎あるいは複数のビット線毎に配置される書き込み回路と、書き込み動作に必要な電圧を発生する電圧発生回路とを備えた不揮発性半導体記憶装置の書き込み方法であって、前記電圧発生回路を継続動作させて、プログラム動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータを順次選択して複数ページのプログラム動作を連続して行う連続プログラム動作と、前記電圧発生回路を継続動作させて、ベリファイ動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータを順次選択して複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返し行うことにより、複数ページの書き込み動作を行うことを特徴とする。

【0069】

上記書き込み方法により、連続プログラム動作中は、電圧発生回路がプログラム動作に必要な電圧を出力し続けた状態で複数ページのプログラム動作を実施することができるため、電圧発生回路のプログラム電圧出力安定待ち時間を削減す

ることができ、プログラム時間の短縮を図ることができる。また、連続ベリファイ動作中は、電圧発生回路がベリファイ動作に必要な電圧を出力し続けた状態で複数ページのベリファイ動作を実施することができるため、電圧発生回路のベリファイ電圧出力安定待ち時間を削減することができ、ベリファイ時間の短縮を図ることができる。従って、データの高速書き込みを実現することができる。さらに、ビット線接続回路を切り替えるのみで、次ページの書き込み動作が可能となるため、データの高速書き込みを実現することができる。

#### 【0070】

本発明の請求項17に係る不揮発性半導体記憶装置の書き込み方法は、請求項16記載の不揮発性半導体記憶装置の書き込み方法において、選択ページのラッチ回路に格納された書き込みデータのプログラム動作中あるいはベリファイ動作中に、前記選択ページ以外のラッチ回路に対して書き込みデータの設定を行うことを特徴とする。

#### 【0071】

上記書き込み方法により、選択ページのプログラム動作あるいはベリファイ動作と並行して、選択ページ以外のラッチ回路に対して書き込みデータを設定することができるため、データラッチ時間を削減することができる。従って、データの高速書き込みを実現することができる。

#### 【0072】

本発明の請求項18に係る不揮発性半導体記憶装置の書き込み方法は、複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線との交点にメモリセルがマトリクス状に配置されたメモリセルアレイと、前記複数のメモリセルから構成されるページへの一括書き込み動作を実現するために、複数ページの書き込みデータを格納するために複数のラッチ回路が直列に接続された直列接続ラッチ群と、前記直列接続ラッチ群の最終段ラッチ回路とビット線とを接続するビット線接続回路とを有したビット線毎あるいは複数のビット線毎に配置される書き込み回路と、前記直列接続ラッチ群の各ラッチ回路のラッチデータを次段のラッチ回路に転送し、且つ最終段ラッチ回路のラッチデータを初段ラッチ回路に転送することで前記直列接続ラッチ群の各ラッチ回路のラッチデータを

リング状に転送するラッチデータ転送制御回路と、書き込み動作に必要な電圧を発生する電圧発生回路とを備えた不揮発性半導体記憶装置の書き込み方法であって、前記電圧発生回路を継続動作させて、プログラム動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータをリング状に転送して複数ページのプログラム動作を連続して行う連続プログラム動作と、前記電圧発生回路を継続動作させて、ベリファイ動作に必要な電圧を継続して発生させた状態で、前記複数のラッチ回路に格納された複数ページの書き込みデータをリング状に転送して複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返し行うことにより、複数ページの書き込み動作を行うことを特徴とする。

#### 【0073】

上記書き込み方法により、連続プログラム動作中は、電圧発生回路がプログラム動作に必要な電圧を出力し続けた状態で複数ページのプログラム動作を実施することができるため、電圧発生回路のプログラム電圧出力安定待ち時間を削減することができ、プログラム時間の短縮を図ることができる。また、連続ベリファイ動作中は、電圧発生回路がベリファイ動作に必要な電圧を出力し続けた状態で複数ページのベリファイ動作を実施することができるため、電圧発生回路のベリファイ電圧出力安定待ち時間を削減することができ、ベリファイ時間の短縮を図ることができる。従って、データの高速書き込みを実現することができる。さらに、ラッチデータをシフト動作するのみで、次ページの書き込み動作が可能となるため、データの高速書き込みを実現することができる。さらに、ビット線接続回路を複数のラッチ回路で共有することができるため、書き込み回路の回路規模の縮小を図ることができる。

#### 【0074】

本発明の請求項 19 に係る不揮発性半導体記憶装置の書き込み方法は、請求項 18 記載の不揮発性半導体記憶装置の書き込み方法において、選択ページのラッチ回路に格納された書き込みデータのプログラム動作中あるいはベリファイ動作中に、前記選択ページ以外のラッチ回路に対して書き込みデータの設定を行うことを特徴とする。

## 【0075】

上記書き込み方法により、選択ページのプログラム動作あるいはベリファイ動作と並行して、選択ページ以外のラッチ回路に対して書き込みデータを設定することができるため、データラッチ時間を削減することができる。従って、データの高速書き込みを実現することができる。

## 【0076】

本発明の請求項20に係る不揮発性半導体記憶装置の書き込み方法は、請求項16または請求項18記載の不揮発性半導体記憶装置の書き込み方法において、選択ページのラッチ回路に書き込みデータを設定中は、前記選択ページのラッチ回路へ書き込みデータの設定が終了するまで、前記選択ページ以外のページで、且つ書き込みデータの設定が完了したページの連続プログラム動作及び連続ベリファイ動作を行うことを特徴とする。

## 【0077】

上記書き込み方法により、1ページのデータラッチ時間が長い場合でも、その他のページの連続プログラム動作あるいは連続ベリファイ動作を並行して行うことができるため、効率的な書き込み動作を行うことができ、データの高速書き込みを実現することができる。

## 【0078】

本発明の請求項21に係る不揮発性半導体記憶装置の書き込み方法は、請求項16または請求項18記載の不揮発性半導体記憶装置の書き込み方法において、選択ページのラッチ回路に格納された書き込みデータにプログラムデータが含まれていない場合は、前記選択ページのプログラム動作及びベリファイ動作を行わずに、次ページのプログラム動作及びベリファイ動作を行うことを特徴とする。

## 【0079】

上記書き込み方法により、書き込みデータにプログラムデータが含まれていないページ、または書き込み動作が終了したページの書き込み動作を行わずに、次ページの書き込み動作を行うことができるため、無駄なプログラム動作及びベリファイ動作を行うことがなくなり、データの高速書き込みを実現することができる。

## 【0080】

本発明の請求項 22 に係る不揮発性半導体記憶装置の書き込み方法は、請求項 16 または請求項 18 記載の不揮発性半導体記憶装置の書き込み方法において、選択ページのベリファイ動作で、前記選択ページのメモリセルが適正にプログラムされたことが確認された場合は、引き続き行われる次ページのプログラム動作中あるいはベリファイ動作中に、前記書き込み動作が完了したページのラッチ回路へ、新たなページの書き込みデータの設定を行うことを特徴とする。

## 【0081】

上記書き込み方法により、書き込みが完了したページのラッチ回路に対して、引き続き行われる次ページのプログラム動作中あるいはベリファイ動作中に新たなページの書き込みデータを格納することができるため、次ページのデータラッチ時間を削減することができる。従って、データの高速書き込みを実現することができる。

## 【0082】

本発明の請求項 23 に係る不揮発性半導体記憶装置の書き込み方法は、請求項 16 または請求項 18 記載の不揮発性半導体記憶装置の書き込み方法において、前記メモリセルアレイは 1 本のワード線に複数ページのメモリセルが接続された構成であり、前記ワード線にプログラム動作に必要な電圧を継続して印加した状態で前記連続プログラム動作を行うことを特徴とする。

## 【0083】

上記書き込み方法により、1 本のワード線に接続された複数ページの連続プログラム動作を、ワード線にプログラム電圧を印加し続けた状態で行うことができるため、プログラム動作時におけるワード線の電圧立ち上げ時間、電圧立ち下げ時間を削減することができる。従って、高速プログラム動作を実現することができる。さらに、ワード線の充放電回数を削減することができるため、低消費電力プログラム動作を実現することができる。

## 【0084】

本発明の請求項 24 に係る不揮発性半導体記憶装置の書き込み方法は、請求項 16 または請求項 18 記載の不揮発性半導体記憶装置の書き込み方法において、

前記メモリセルアレイは1本のワード線に複数ページのメモリセルが接続された構成であり、前記ワード線にベリファイ動作に必要な電圧を継続して印加した状態で前記連続ベリファイ動作を行うことを特徴とする。

#### 【0085】

上記書き込み方法により、1本のワード線に接続された複数ページの連続ベリファイ動作を、ワード線にベリファイ電圧を印加し続けた状態で行うことができるため、ベリファイ動作時におけるワード線の電圧立ち上げ時間、電圧立ち下げ時間を削減することができる。従って、高速ベリファイ動作を実現することができる。さらに、ワード線の充放電回数を削減することができるため、低消費電力ベリファイ動作を実現することができる。

#### 【0086】

##### 【発明の実施の形態】

本発明に係る各実施形態について、代表的な不揮発性半導体記憶装置であるフラッシュメモリを例に挙げ、図面に基づいて詳細に説明する。始めに、本発明に係る各実施形態の共通事項について図1～図3を参照して説明する。

#### 【0087】

図1は、本発明の各実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)の構成を示す図である。図1において、メモリセルアレイ1は複数のワード線と複数のビット線との交点にメモリセルがマトリクス状に配置されている。書き込み回路2はビット線毎あるいは複数のビット線毎に配置されており、複数のメモリセルへの一括書き込み動作を行う回路である。Xデコーダ3は所定のワード線を選択して所定の電圧を印加する回路である。Yデコーダ4はYゲート5の中から所定のYゲートを選択して所定の電圧を印加する回路である。Yゲート5は複数のビット線から所定のビット線を選択してセンスアンプ6に接続する回路である。センスアンプ6はメモリセルに格納されたデータを判定する回路である。

#### 【0088】

I/Oバッファ7はデータ入出力端子DQとフラッシュメモリとのデータのやり取りを行う回路であり、読み出し時にはセンスアンプ6からの出力データをデ



ータ入出力端子DQに出力し、データ書き込み時にはデータ入出力端子DQから入力された書き込みデータを書き込み回路2に送信する。また、データ入出力端子DQに入力されたコマンドを制御回路8に送信する役割も果たす。

#### 【0089】

制御回路8はフラッシュメモリ全体の制御を行う回路であり、書き込み回路2、Xデコーダ3、Yデコーダ4、Yゲート5、センスアンプ6、I/Oバッファ7、アドレスバッファ9、電源回路10を制御することで、読み出し、書き込み、消去動作等の各種制御を行う。制御回路8には外部から入力されるチップイネーブル信号/CE、出力イネーブル信号/OE、書き込みイネーブル信号/WEと、アドレスバッファ9から出力されるアドレス端子Aに入力されたコマンドと、I/Oバッファ7から出力されるデータ入出力端子DQに入力されたコマンドが入力されており、外部から入力されたコマンドを解釈してフラッシュメモリの各種動作を実行する。

#### 【0090】

アドレスバッファ9は、アドレス端子Aに入力されたアドレスをデコードして、所定の書き込み回路、ワード線、ビット線を選択する信号を書き込み回路2、Xデコーダ3、Yデコーダ4に送信する。また、アドレス端子Aに入力されたコマンドを制御回路8に送信する役割も果たす。

#### 【0091】

電源回路10は、フラッシュメモリの読み出し、書き込み、消去動作に必要な高電圧を発生する回路であり、正の高電圧VPPを発生する正高電圧発生回路11と負の高電圧VNNを発生する負高電圧発生回路12により構成される。

#### 【0092】

図2は、本発明の各実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)に使用されるメモリセルの断面構造を示す図である。図2に示すように、基板109上にディープNウェル108、及びPウェル107が形成され、このPウェル107内にN型領域のソース105とドレイン106が形成されている。そして、トンネル酸化膜104上にはフローティングゲート103が形成されており、さらに、ONO(Oxide-Nitride-Oxide)膜102を介してコントロールゲ

ート101が形成されている。本発明の各実施形態に係るフラッシュメモリでは、上記トンネル酸化膜104に高電界を印加してトンネル電流を発生させ、フローティングゲート103への電子の引き抜き、注入を行うことでメモリセルのしきい値電圧を制御し、データの書き込み、消去動作を行う。

#### 【0093】

図3は、本発明の各実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)に使用されるメモリセルのしきい値電圧分布を示す図である。図3において、読み出しレベル201よりもしきい値電圧が低い状態を書き込み状態(分布202)とし、高い状態を消去状態(分布203)とする。以下、書き込み状態のデータを「0」データ、消去状態のデータを「1」データとして説明する。

#### 【0094】

メモリセルの書き込み動作は、ソース105をオープン状態にし、コントロールゲート101に例えば-8V、ドレイン106に例えば5V、ウェル107に例えば接地電位(0V)の電圧をそれぞれ印加することによって、フローティングゲート103に蓄積されている電子をドレイン106に引き抜くことにより行う。書き込み後のしきい値電圧は読み出しレベル201よりも低くなるため、読み出し動作時にメモリセルに電流が流れる。

#### 【0095】

メモリセルの消去動作は、ドレイン106をオープン状態にし、コントロールゲート101に例えば5V、ソース105とウェル107にそれぞれ例えば-8Vを印加し、ソース105とウェル107からフローティングゲート103に電子を注入する。フローティングゲート103に電子が注入されることでメモリセルのしきい値電圧が上昇する。消去後のしきい値電圧を読み出しレベル201よりも高く設定することによって、読み出し動作時にメモリセルに電流が流れないようにする。

#### 【0096】

メモリセルの読み出し動作は、コントロールゲート101に読み出し電圧を印加し、ソース105とウェル107を接地電位(0V)に設定し、ドレイン106に1V程度の電圧を印加した状態で電流が流れるか否かをセンスアンプにより判

定して読み出す。メモリセルに電流が流れる場合は書き込み状態(0 データ)、電流が流れない場合は消去状態(1 データ)として読み出しデータを出力する。

#### 【0097】

##### (第1実施形態)

本発明の第1実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)について図4～図7を参照して詳細に説明する。

#### 【0098】

図4は、本発明の第1実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)のメモリセルアレイ及び書き込み回路の構成を示す図である。図4において、メモリセルアレイ1とビット線リセット回路の構成は、図13で示した従来のフラッシュメモリのものと構成が同一であるのでその詳細な説明を省略する。

#### 【0099】

本発明の第1実施形態に係るフラッシュメモリと従来のフラッシュメモリとの相違点は、書き込み回路2-1～2-Nの構成が異なる点である。以下、本発明の第1実施形態に係るフラッシュメモリの書き込み回路の構成について、ビット線BL1に接続されている書き込み回路2-1を例に説明する。

#### 【0100】

書き込み回路2-1は、インバータINV1とINV2から構成される第1ラッチ回路LAT1と、NチャネルトランジスタTGN1とPチャネルトランジスタTGP1から構成される第1トランスファゲートTG1と、Nチャネルトランジスタから構成される第1ラッチデータ格納スイッチTN1と、インバータINV3とINV4から構成される第2ラッチ回路LAT2と、NチャネルトランジスタTGN2とPチャネルトランジスタTGP2から構成される第2トランスファゲートTG2と、Nチャネルトランジスタから構成される第2ラッチデータ格納スイッチTN2とから構成される。

#### 【0101】

第1ラッチ回路LAT1は書き込みデータを一時的にラッチする回路であり、インバータINV1とINV2の電源には高電圧VPP1が供給されている。

#### 【0102】

第1トランスファゲートTG1は第1ラッチ回路LAT1の出力N1とビット線BL1とを接続、遮断するためのスイッチであり、第1トランスファゲート制御信号TGS1により制御される。第1トランスファゲート制御信号TGS1はNチャネルトランジスタTGN1のゲートに接続され、第1トランスファゲート制御信号TGS1が入力されたインバータILS1の出力信号はPチャネルトランジスタTGP1のゲートに接続される。インバータILS1の電源、及びPチャネルトランジスタTGP1の基板には高電圧VPPが供給されている。

### 【0103】

第1ラッチデータ格納スイッチTN1は外部入力データIOと第1ラッチ回路LAT1の入力N2とを接続、遮断するためのスイッチであり、第1データラッチ制御信号DL1とラッチ選択信号LATSELを入力とするAND論理素子AND1の出力信号がゲートに接続されている。所定のラッチ回路に書き込みデータを格納する際には第1データラッチ制御信号DL1とラッチ選択信号LATSELが共に「H」レベルとなり、第1ラッチデータ格納スイッチTN1が開くことで第1ラッチ回路LAT1に外部入力データIOが設定される。ここで、プログラムデータ(0データ)を格納すると第1ラッチ回路LAT1の出力N1は「H」レベルに、一方、イレースデータ(1データ)を格納すると第1ラッチ回路LAT1の出力N1は「L」レベルに設定される。データ格納後、第1ラッチデータ格納スイッチTN1が閉じることで第1ラッチ回路LAT1に書き込みデータが保持される。

### 【0104】

第2ラッチ回路LAT2は書き込みデータを一時的にラッチする回路であり、インバータINV3とINV4の電源には高電圧VPP2が供給されている。

### 【0105】

第2トランスファゲートTG2は第2ラッチ回路LAT2の出力N3とビット線BL1とを接続、遮断するためのスイッチであり、第2トランスファゲート制御信号TGS2により制御される。第2トランスファゲート制御信号TGS2はNチャネルトランジスタTGN2のゲートに接続され、第2トランスファゲート制御信号TGS2が入力されたインバータILS2の出力信号はPチャネルトラ

ンジスタ TGP2 のゲートに接続される。インバータ ILS2 の電源、及び P チャンネルトランジスタ TGP2 の基板には高電圧 VPP が供給されている。

#### 【0106】

第2ラッチデータ格納スイッチ TN2 は外部入力データ IO と第2ラッチ回路 LAT2 の入力 N4 とを接続、遮断するためのスイッチであり、第2データラッチ制御信号 DL2 とラッチ選択信号 LATSEL を入力とする AND 論理素子 AND2 の出力信号がゲートに接続されている。所定のラッチ回路に書き込みデータを格納する際には第2データラッチ制御信号 DL2 とラッチ選択信号 LATSEL が共に「H」レベルとなり、第2ラッチデータ格納スイッチ TN2 が開くことで第2ラッチ回路 LAT2 に外部入力データ IO が設定される。ここで、プログラムデータ(0データ)を格納すると第2ラッチ回路 LAT2 の出力 N3 は「H」レベルに、一方、イレースデータ(1データ)を格納すると第2ラッチ回路 LAT2 の出力 N3 は「L」レベルに設定される。データ格納後、第2ラッチデータ格納スイッチ TN2 が閉じることで第2ラッチ回路 LAT2 に書き込みデータが保持される。

#### 【0107】

以上、ビット線 BL1 に接続された書き込み回路 2-1 の構成について説明したが、ビット線 BL2 ~ BLN に接続されている書き込み回路 2-2 ~ 2-N にも同様の回路が接続されている。

#### 【0108】

以上のように、本発明の第1実施形態に係るフラッシュメモリはビット線毎に配置される書き込み回路が複数ページの書き込みデータを格納するための複数のラッチ回路(第1ラッチ回路 LAT1、第2ラッチ回路 LAT2)と、複数のラッチ回路とビット線とを接続するビット線接続回路(第1トランスファゲート TG1、第2トランスファゲート TG2)とを備えたことを特徴とする。

#### 【0109】

以上のように構成された書き込み回路について、以下、その書き込み動作について説明する。

#### 【0110】

図 5 は、本発明の第 1 実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)の書き込み動作を説明するためのフローチャート図である。図 5 では、ワード線 W L 1 に接続されたページ 1 のメモリセルとワード線 W L 2 に接続されたページ 2 のメモリセルへ書き込み動作を行った場合のフローチャート図を示している。

#### 【0 1 1 1】

始めに、プログラムコマンドを入力することで書き込み動作が開始する(ステップ S 2 0 0)。ページ 1 の書き込み動作を行うために、第 1 ラッチ回路 L A T 1 にページ 1 の書き込みデータを格納する(ステップ S 2 1 0)。データラッチ終了後、ページ 1 のプログラム動作が行われる(ステップ S 2 2 0)。ページ 1 のプログラム動作と並行して、ページ 2 の書き込み動作を行うために、第 2 ラッチ回路 L A T 2 にページ 2 の書き込みデータを格納する(ステップ S 2 3 0)。ページ 1 のプログラム動作終了後、ページ 1 のベリファイ動作を行わずに、ページ 2 のプログラム動作を行う(ステップ S 2 4 0)。ページ 2 のプログラム動作終了後、ページ 1 のベリファイ動作を行う(ステップ S 2 5 0)。ページ 1 のベリファイ動作終了後、ページ 2 のベリファイ動作を行う(ステップ S 2 6 0)。ページ 1 とページ 2 のベリファイ動作で共にフェイルした場合は、再度ページ 1 とページ 2 のプログラム動作とベリファイ動作を行う(ステップ S 2 8 0)。複数回のプログラム動作とベリファイ動作を行い、ページ 1 とページ 2 のベリファイ動作で共にパスした場合に書き込み動作が終了する(ステップ S 2 9 0)。

#### 【0 1 1 2】

以上のように、本発明の第 1 実施形態に係るフラッシュメモリは選択ページの書き込み動作中に、その他のページのラッチ動作を行うことを特徴とする。また、複数ページのプログラム動作を連続して行う連続プログラム動作と、複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返し行うことにより複数ページの書き込み動作を行うことを特徴とする。

#### 【0 1 1 3】

ここで、ページ 1 (ページ 2)の書き込みデータにプログラムデータ(0 データ)が含まれていない場合は書き込み動作を行う必要がないので、ページ 1 (ページ

2)の書き込み動作を行わずに、ページ2(ページ1)の書き込み動作のみを行うようにすることもできる。また、ページ1(ページ2)のベリファイ動作でパスした場合は、以後の書き込み動作を行う必要がないので、以後の書き込み動作でページ1(ページ2)の書き込み動作を行わずに、ページ2(ページ1)の書き込み動作のみを行うようにすることもできる。

#### 【0114】

このように、書き込みデータにプログラムデータが含まれていないページ、または書き込み動作が終了したページの書き込み動作を行わずに、次ページの書き込み動作を行うことで、無駄なプログラム動作及びベリファイ動作を行うことができなくなり、データの高速書き込みを実現することができる。

#### 【0115】

図6は、本発明の第1実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)の書き込み動作を説明するためのタイミングチャート図である。図6では、第1データラッチ制御信号DL1、第2データラッチ制御信号DL2、正高電圧発生回路11の出力電圧VPP、負高電圧発生回路12の出力電圧VNN、ワード線WL1~WL3(WL3は図4には図示していない)、第1トランスファゲート制御信号TGS1、第2トランスファゲート制御信号TGS2、ビット線リセット制御信号BLRST、ビット線BL1の動作波形について示している。

#### 【0116】

ページ1の書き込み動作を始めるために、始めに第1ラッチ回路LAT1へのデータラッチが第1データラッチ制御信号DL1により行われる(Data Latch1)。データラッチ期間中、ワード線WL1~WL3、ソース線SL、ウェル線PWは接地電位に設定されている。また、第1トランスファゲートTG1と第2トランスファゲートTG2は非活性化状態に、ビット線リセット回路は活性化状態になっており、ビット線は接地電位に設定されている。

#### 【0117】

データラッチ終了後、プログラムモードに移行し、正高電圧発生回路11と負高電圧発生回路12はプログラム動作に必要な5V(VPP)と-8V(VNN)の高電圧をそれぞれ発生する。このとき、第1ラッチ回路LAT1のインバータI

N V 1 と I N V 2 に供給される電源 V P P 1 にも高電圧 V P P が設定される。正高電圧発生回路 1 1 と負高電圧発生回路 1 2 の出力電圧 V P P 、 V N N が所定の電圧に達した後に、ワード線 W L 1 を  $-8\text{ V}$  に、ソース線 S L を高インピーダンス状態に、ビット線リセット回路を非活性化状態に、第 1 トランスファゲート T G 1 を活性化状態にして、第 1 ラッチ回路 L A T 1 の出力 N 1 とビット線とを接続することでプログラム動作を開始する (Program1)。ここで、第 1 ラッチ回路 L A T 1 にプログラムデータ (0 データ) が格納されている場合は、第 1 ラッチ回路 L A T 1 の出力 N 1 は「H」レベルに設定されているため、ビット線には正の高電圧  $5\text{ V}$  が印加される。一方、イレースデータ (1 データ) が格納されている場合は、第 1 ラッチ回路 L A T 1 の出力 N 1 は「L」レベルに設定されているため、ビット線には接地電位 ( $0\text{ V}$ ) が印加される。

#### 【0 1 1 8】

ページ 1 のプログラム動作と並行して、ページ 2 の書き込みデータを第 2 データラッチ制御信号 D L 2 により第 2 ラッチ回路 L A T 2 に格納する (Data Latch2)。ここで、ページ 2 の書き込みデータを第 2 ラッチ回路 L A T 2 に格納中は、第 2 ラッチ回路 L A T 2 のインバータ I N V 3 と I N V 4 に供給される電源 V P P 2 は電源電圧 V D D であり、データラッチ終了後、電源 V P P 2 を高電圧 V P P に設定する。

#### 【0 1 1 9】

このように、選択ページの書き込み動作中に、選択ページ以外のラッチ回路へ次ページの書き込みデータの設定を行うため、データラッチ時間を削減することができる。従って、データの高速書き込み実現することができる。

#### 【0 1 2 0】

所定の時間プログラムが行われた後、ワード線 W L 1、ソース線 S L を接地電位に、第 1 トランスファゲート T G 1 を非活性化状態に、ビット線リセット回路を活性化状態にしてビット線を接地電位に設定することでページ 1 のプログラム動作を終了する。

#### 【0 1 2 1】

次に、正高電圧発生回路 1 1 と負高電圧発生回路 1 2 を継続動作させて、高電



圧V P P、V N Nを継続して発生させた状態で、ページ2のプログラム動作を行う(Program2)。ここで、高電圧V P P、V N Nはプログラム動作に必要な電圧を既に発生しているので、高電圧発生回路の出力安定待ち時間を待つことなくページ2のプログラム動作を行うことができる。

#### 【0 1 2 2】

ページ2のワード線W L 2を-8 Vに、ソース線S Lを高インピーダンス状態に、ビット線リセット回路を非活性化状態に、第2トランスファゲートT G 2を活性化状態にして、第2ラッチ回路L A T 2の出力N 3とビット線とを接続することでページ2のプログラム動作を開始する。ここで、第2ラッチ回路L A T 2にプログラムデータ(0データ)が格納されている場合は、第2ラッチ回路L A T 2の出力N 3は「H」レベルに設定されているため、ビット線には正の高電圧5 Vが印加される。一方、イレースデータ(1データ)が格納されている場合は、第2ラッチ回路L A T 2の出力N 3は「L」レベルに設定されているため、ビット線には接地電位(0 V)が印加される。

#### 【0 1 2 3】

所定の時間プログラムが行われた後、ワード線W L 2、ソース線S Lを接地電位に、第2トランスファゲートT G 2を非活性化状態に、ビット線リセット回路を活性化状態にしてビット線を接地電位に設定することでページ2のプログラム動作を終了する。

#### 【0 1 2 4】

このように、正高電圧発生回路1 1と負高電圧発生回路1 2を継続動作させて、高電圧V P P、V N Nを継続して発生させた状態で、ページ2のプログラム動作を行うため、高電圧発生回路の出力安定待ち時間を待つことなくページ2のプログラム動作を行うことができる。従って、データの高速書き込みを実現することができる。

#### 【0 1 2 5】

次に、ページ1のベリファイ動作を行う(Verify1)。ベリファイモードに移行し、正高電圧発生回路1 1と負高電圧発生回路1 2は電源電圧V D D(V P P)と接地電位V S S(V N N)の電圧をそれぞれ発生する。このとき、第1ラッチ回路

LAT1に供給される電源VPP1と第2ラッチ回路LAT2に供給される電源VPP2にも電源電圧VDDが供給される。正高電圧発生回路11と負高電圧発生回路12の出力電圧VPP、VNNが所定の電圧に達した後に、ビット線リセット回路を非活性化状態に、第1トランスファゲートTG1を活性化状態にして、プログラムデータ(第1ラッチ回路LAT1の出力N1が「H」レベル)であるビット線のみを電源電圧VDDにプリチャージする。ビット線のプリチャージが終了後、第1トランスファゲートTG1を非活性化状態にして第1ラッチ回路LAT1とビット線とを切り離し、ワード線WL1に1Vの電圧を印加する。

#### 【0126】

ここで、メモリセルのしきい値電圧が1V以下(メモリセルが適正にプログラムされている)であればメモリセルを通じてビット線のディスチャージが行われ、ビット線の電位は接地電位に向かって下降する。一方、メモリセルのしきい値電圧が1V以上(メモリセルが適正にプログラムされていない)であればメモリセルを通じたビット線のディスチャージは行われなため、ビット線の電位は電源電圧VDDを維持する。

#### 【0127】

所定の時間経過後、再度第1トランスファゲートTG1を活性化状態にして第1ラッチ回路LAT1とビット線とを接続する。ここで、メモリセルのしきい値電圧が1V以下(メモリセルが適正にプログラムされている)であればビット線が接地電位にディスチャージされているため、第1ラッチ回路LAT1の出力N1が「L」レベル(イレースデータ)に書き換えられ、以後のプログラムは行われな。一方、メモリセルのしきい値電圧が1V以上(メモリセルが適正にプログラムされていない)であれば第1ラッチ回路LAT1の出力N1は最初に設定されたデータがそのまま保持され、以後のプログラム動作で再度プログラムが行われる。

#### 【0128】

所定の時間経過後、ワード線WL1を接地電位に、第1トランスファゲートTG1を非活性化状態に、ビット線リセット回路を活性化状態にしてビット線を接地電位に設定することでページ1のベリファイ動作を終了する。

## 【0 1 2 9】

次に、正高電圧発生回路 1 1 と負高電圧発生回路 1 2 を継続動作させて、電圧  $V_{PP}$ 、 $V_{NN}$  を継続して発生させた状態で、ページ 2 のベリファイ動作を行う (Verify2)。ここで、電圧  $V_{PP}$ 、 $V_{NN}$  はベリファイ動作に必要な電圧を既に発生しているので、高電圧発生回路の出力安定待ち時間を待つことなくページ 2 のベリファイ動作を行うことができる。

## 【0 1 3 0】

ビット線リセット回路を非活性化状態に、第 2 トランスファゲート  $TG_2$  を活性化状態にして、プログラムデータ (第 2 ラッチ回路  $LAT_2$  の出力  $N_3$  が「H」レベル) であるビット線のみを電源電圧  $V_{DD}$  にプリチャージする。ビット線のプリチャージが終了後、第 2 トランスファゲート  $TG_2$  を非活性化状態にして第 2 ラッチ回路  $LAT_2$  とビット線とを切り離し、ワード線  $WL_2$  に 1 V の電圧を印加する。

## 【0 1 3 1】

ここで、メモリセルのしきい値電圧が 1 V 以下 (メモリセルが適正にプログラムされている) であればメモリセルを通じてビット線のディスチャージが行われ、ビット線の電位は接地電位に向かって下降する。一方、メモリセルのしきい値電圧が 1 V 以上 (メモリセルが適正にプログラムされていない) であればメモリセルを通じたビット線のディスチャージは行われなため、ビット線の電位は電源電圧  $V_{DD}$  を維持する。

## 【0 1 3 2】

所定の時間経過後、再度第 2 トランスファゲート  $TG_2$  を活性化状態にして第 2 ラッチ回路  $LAT_2$  とビット線とを接続する。ここで、メモリセルのしきい値電圧が 1 V 以下 (メモリセルが適正にプログラムされている) であればビット線が接地電位にディスチャージされているため、第 2 ラッチ回路  $LAT_2$  の出力  $N_3$  が「L」レベル (イレースデータ) に書き換えられ、以後のプログラムは行われな。一方、メモリセルのしきい値電圧が 1 V 以上 (メモリセルが適正にプログラムされていない) であれば第 2 ラッチ回路  $LAT_2$  の出力  $N_3$  は最初に設定されたデータがそのまま保持され、以後のプログラム動作で再度プログラムが行われ

る。

#### 【0133】

所定の時間経過後、ワード線WL2を接地電位に、第2トランスファゲートTG2を非活性化状態に、ビット線リセット回路を活性化状態にしてビット線を接地電位に設定することでページ2のベリファイ動作を終了する。

#### 【0134】

このように、正高電圧発生回路11と負高電圧発生回路12を継続動作させて、電圧VPP、VNNを継続して発生させた状態で、ページ2のベリファイ動作を行うため、高電圧発生回路の出力安定待ち時間を待つことなくページ2のベリファイ動作を行うことができる。従って、データの高速書き込みを実現することができる。

#### 【0135】

ページ1とページ2のベリファイ動作で共にフェイルした場合は、再度ページ1とページ2の連続プログラム動作と連続ベリファイ動作が行われる。ここで、引き続き行われるページ1のベリファイ動作でパスしたとする。次に、ページ2のベリファイ動作が行われるが、ページ2のベリファイ動作と並行して、書き込み動作が完了した第1ラッチ回路LAT1にページ3の書き込みデータを第1データラッチ制御信号DL1により格納する(Data Latch3)。ページ2のベリファイ動作でフェイルした場合は、その後、ページ2とページ3の連続プログラム動作と連続ベリファイ動作により書き込み動作が行われる。

#### 【0136】

このように、選択ページのベリファイ動作でパスした場合は、引き続き行われる次ページの書き込み動作中に、書き込み動作が完了したページのラッチ回路へ新たなページの書き込みデータの設定を行うため、データラッチ時間を削減することができる。従って、データの高速書き込みを実現することができる。

#### 【0137】

図7は、本発明の第1実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)の書き込みコマンド及び内部動作状態を示す図である。図7(a)に示すように、始めに、プログラムコマンドCM1とページ1のプログラムアドレスAD

1 を入力し、引き続きページ 1 の書き込みデータを入力して、第 1 ラッチ回路 L A T 1 に格納する。書き込みデータ入力後にプログラムコマンド C M 2 を入力することで、ページ 1 の書き込み動作が開始される。ページ 1 のプログラム動作中もレディー状態となっており、ページ 1 のプログラム動作と並行してプログラムコマンド C M 1 とページ 2 のプログラムアドレス A D 2 を入力し、引き続きページ 2 の書き込みデータを入力して、第 2 ラッチ回路 L A T 2 に格納する。書き込みデータ入力後にプログラムコマンド C M 2 を入力することで、ビジー状態となる。

#### 【 0 1 3 8 】

ページ 1 のプログラム動作終了後、高電圧発生回路の出力電圧を継続して発生させた状態で、ページ 2 のプログラム動作を開始する。ページ 2 のプログラム動作終了後、ページ 1 とページ 2 の連続ベリファイ動作が行われる。ページ 1 とページ 2 の連続ベリファイ動作で共にフェイルした場合は、再度ページ 1 とページ 2 の連続プログラム動作と連続ベリファイ動作が行われる。

#### 【 0 1 3 9 】

図 7 (b) に示すように、ページ 1 とページ 2 の連続プログラム動作と連続ベリファイ動作を繰り返し、ページ 1 のベリファイ動作でパスしたとする。次に、ページ 2 のベリファイ動作が行われるが、このときレディー状態となり、ページ 2 のベリファイ動作と並行してプログラムコマンド C M 1 とページ 3 のプログラムアドレス A D 3 を入力し、引き続きページ 3 の書き込みデータを入力して、第 1 ラッチ回路 L A T 1 に格納する。書き込みデータ入力後にプログラムコマンド C M 2 を入力することで、ビジー状態となる。ページ 2 のベリファイ動作でフェイルした場合は、その後、ページ 2 とページ 3 の連続プログラム動作と連続ベリファイ動作により書き込み動作が行われる。

#### 【 0 1 4 0 】

図 7 (c) に示すように、ページ 2 とページ 3 の連続プログラム動作と連続ベリファイ動作を繰り返し、ページ 2 のベリファイ動作でパスしたとする。次に、ページ 3 のベリファイ動作が行われるが、このときレディー状態となり、ページ 3 のベリファイ動作と並行してプログラムコマンド C M 1 とページ 4 のプログラム

アドレス A D 4 を入力し、引き続きページ 4 の書き込みデータを入力して、第 2 ラッチ回路 L A T 2 に格納する。書き込みデータ入力後にプログラムコマンド C M 2 を入力する。

#### 【 0 1 4 1 】

ここで、ページ 3 のベリファイ動作でもパスしたとする。次に、ページ 4 のプログラム動作が行われるが、このときレディー状態となっており、ページ 4 のプログラム動作と並行してプログラムコマンド C M 1 とページ 5 のプログラムアドレス A D 5 を入力し、引き続きページ 5 の書き込みデータを入力して、第 1 ラッチ回路 L A T 1 に格納する。書き込みデータ入力後にプログラムコマンド C M 2 を入力することで、ビジー状態となる。ページ 4 のプログラム動作終了後、引き続きページ 5 のプログラム動作が行われる。その後、ページ 4 とページ 5 の連続ベリファイ動作が行われる。

#### 【 0 1 4 2 】

以上のように、本発明の第 1 実施形態に係るフラッシュメモリは、ビット線毎に配置される書き込み回路が複数ページの書き込みデータを格納するための複数のラッチ回路と、複数のラッチ回路とビット線とを接続するビット線接続回路とを備えており、電圧発生回路を継続動作させて、プログラム動作に必要な電圧を継続して発生させた状態で、複数のラッチ回路に格納された複数ページの書き込みデータを順次選択して複数ページのプログラム動作を連続して行う連続プログラム動作と、電圧発生回路を継続動作させて、ベリファイ動作に必要な電圧を継続して発生させた状態で、複数のラッチ回路に格納された複数ページの書き込みデータを順次選択して複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返し行うことにより、複数ページの書き込み動作を行うので、電圧発生回路のプログラム電圧出力安定待ち時間、及びベリファイ電圧出力安定待ち時間を削減することができ、データの高速書き込みを実現することができる。さらに、ビット線接続回路を切り替えるのみで、次ページの書き込み動作が可能となるため、データの高速書き込みを実現することができる。

#### 【 0 1 4 3 】

さらに、選択ページのラッチ回路に格納された書き込みデータのプログラム動

作中あるいはベリファイ動作中に、選択ページ以外のラッチ回路に対して書き込みデータの設定を行うので、データラッチ時間を削減することができ、データの高速書き込みを実現することができる。

#### 【0144】

さらに、選択ページのベリファイ動作で、選択ページのメモリセルが適正にプログラムされたことが確認された場合は、引き続き行われる次ページのプログラム動作中あるいはベリファイ動作中に、書き込み動作が完了したページのラッチ回路へ、新たなページの書き込みデータの設定を行うので、データラッチ時間を削減することができ、データの高速書き込みを実現することができる。

#### 【0145】

さらに、選択ページのラッチ回路に格納された書き込みデータにプログラムデータが含まれていない場合は、選択ページのプログラム動作及びベリファイ動作を行わずに、次ページのプログラム動作及びベリファイ動作を行うので、無駄なプログラム動作及びベリファイ動作を行うことがなくなり、データの高速書き込みを実現することができる。

#### 【0146】

(第2実施形態)

本発明の第2実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)について図8を参照して詳細に説明する。

#### 【0147】

図8は、本発明の第2実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)のメモリセルアレイ及び書き込み回路の構成を示す図である。図8において、前述した第1実施形態と同一機能の構成要素には同一の符号を付けて、その詳細な説明を省略する。ここでは構成が異なる部分のみを説明する。

#### 【0148】

図8と第1実施形態で示した図4との相違点は、書き込み回路2-1~2-Nの構成が異なる点である。ビット線BL1に接続されている書き込み回路2-1を例に説明すると、書き込み回路2-1は第1ラッチ回路LAT1と第1トランスファゲートTG1との間に高電圧VPPを電源とするレベルシフト回路LS1

が挿入されている。また、第1ラッチ回路LAT1を構成するインバータINV1とINV2の電源が電源電圧VDDである。同様に、第2ラッチ回路LAT2と第2トランスファゲートTG2との間に高電圧VPPを電源とするレベルシフト回路LS2が挿入されている。また、第2ラッチ回路LAT2を構成するインバータINV3とINV4の電源が電源電圧VDDである。

#### 【0149】

ここで、プログラム動作とベリファイ動作で高電圧VPPは5Vと電源電圧VDDに変化するが、前述した第1実施形態ではラッチ回路の電源が高電圧VPPであるため、ラッチ回路の書き込みデータ保持が不安定になるという恐れがある。しかし、本実施形態の構成ではラッチ回路の電源は常に電源電圧VDDであるため、ラッチ回路が安定して書き込みデータを保持することができる。さらに、プログラム動作中にデータラッチを行う場合は、前述した第1実施形態ではラッチ回路の電源が高電圧VPPであるため、データラッチ対象のラッチ回路の電源を電源電圧VDDに設定する必要がある。しかし、本実施形態の構成ではラッチ回路の電源は常に電源電圧VDDであるため、ラッチ回路の電源を制御することなくプログラム動作中のデータラッチが可能となり、動作制御が容易になる。

#### 【0150】

図8と図4ではさらに、ベリファイ動作時にラッチデータをリセットする機構が異なる。ビット線BL1にはトランジスタTNV0、TNV1、TPV0、TPV1から構成されるビット線検知回路が接続されている。ビット線検知回路はNORの論理を形成しており、ビット線BL1とベリファイ動作信号NVRの2端子が入力されている。

#### 【0151】

ビット線検知回路の出力であるラッチリセット信号LRSTは、AND論理素子AND3とAND4の入力端子に入力されている。AND論理素子AND3の入力端子にはラッチリセット信号LRSTと第1ラッチベリファイ信号VR1が入力されている。AND論理素子AND3の出力端子は、第1ラッチリセットトランジスタTN3のゲートに接続されており、ラッチリセット信号LRSTと第1ラッチベリファイ信号VR1が共に「H」レベルのときに、第1ラッチリセッ



トランジスタ T N 3 が活性化状態となり、第 1 ラッチ回路 L A T 1 の出力端子 N 1 を「L」レベル(イレーズデータ)にリセットする。

#### 【0 1 5 2】

同様に、AND 論理素子 A N D 4 の入力端子にはラッチリセット信号 L R S T と第 2 ラッチベリファイ信号 V R 2 が入力されている。AND 論理素子 A N D 4 の出力端子は、第 2 ラッチリセットトランジスタ T N 4 のゲートに接続されており、ラッチリセット信号 L R S T と第 2 ラッチベリファイ信号 V R 2 が共に「H」レベルのときに、第 2 ラッチリセットトランジスタ T N 4 が活性化状態となり、第 2 ラッチ回路 L A T 2 の出力端子 N 3 を「L」レベル(イレーズデータ)にリセットする。

#### 【0 1 5 3】

上記構成により、ビット線検知回路を複数のラッチ回路で共有することができるため、書き込み回路の回路規模の縮小を図ることができる。さらに、ラッチリセットトランジスタの能力を調整することでラッチデータを確実にリセットすることができる。さらに、ラッチ回路とビット線接続回路との間にレベルシフト回路を入れた場合においても、ラッチデータのリセット動作を行うことができる。

#### 【0 1 5 4】

以上のように構成された書き込み回路について、以下、その書き込み動作について説明する。高電圧発生回路を継続動作させた状態での連続プログラム動作と連続ベリファイ動作による書き込み動作は前述した第 1 実施形態と同様であるので、その詳細な説明を省略する。ここでは、前述した第 1 実施形態とは動作が異なるベリファイ動作時におけるラッチデータのリセット方法について詳細に説明する。

#### 【0 1 5 5】

第 1 ラッチ回路 L A T 1 のベリファイ動作において、高電圧 V P P は電源電圧 V D D である。ビット線リセット回路を非活性化状態に、第 1 トランスファゲート T G 1 を活性化状態にして、プログラムデータ(第 1 ラッチ回路 L A T 1 の出力 N 1 が「H」レベル)であるビット線のみを電源電圧 V D D にプリチャージする。ビット線のプリチャージが終了後、第 1 トランスファゲート T G 1 を非活性

化状態にして第1ラッチ回路LAT1とビット線とを切り離し、ワード線に1Vの電圧を印加する。その後、メモリセルのしきい値電圧に応じてビット線の電位が変化する。

#### 【0156】

所定の時間経過後、ベリファイ動作信号NVRを「L」レベルに、第1ラッチベリファイ信号VR1を「H」レベルに設定する。ここで、メモリセルのしきい値電圧が1V以下(メモリセルが適正にプログラムされている)であればビット線が接地電位にディスチャージされているため、ラッチリセット信号LRSTは「H」レベルとなり、AND論理素子AND3の出力は「H」レベルとなる。これにより、第1ラッチリセットトランジスタTN3が活性化状態となり、第1ラッチ回路LAT1の出力N1が「L」レベル(イレーズデータ)に書き換えられ、以後のプログラムは行われない。

#### 【0157】

一方、メモリセルのしきい値電圧が1V以上(メモリセルが適正にプログラムされていない)であればビット線は電源電圧VDDを維持しているため、ラッチリセット信号LRSTは「L」レベルとなり、AND論理素子AND3の出力は「L」レベルとなる。ここで、第1ラッチリセットトランジスタTN3は非活性状態のままであり、第1ラッチ回路LAT1の出力N1は最初に設定されたデータがそのまま保持され、以後のプログラム動作で再度プログラムが行われる。

#### 【0158】

同様に、第2ラッチ回路LAT2のベリファイ動作において、第2ラッチベリファイ信号VR2が「H」レベルとなり、第2ラッチ回路LAT2のラッチデータが書き換えられる。

#### 【0159】

以上のように、本発明の第2実施形態に係るフラッシュメモリは、複数のラッチ回路とビット線接続回路との間に、ラッチ回路の出力電圧レベルを高電圧レベルに電圧変換するレベルシフト回路を備えているので、ラッチ回路の電源を電源電圧にすることができ、安定したラッチ保持動作を実現することができる。さらに、プログラム動作時におけるデータラッチが容易となる。

## 【0160】

さらに、ベリファイ動作時にメモリセルが適正にプログラムされたことを検知する検知回路(ビット線検知回路)と、複数のラッチ回路のラッチデータを個別にリセット可能な複数のラッチデータリセット回路(第1ラッチリセットトランジスタTN3、第2ラッチリセットトランジスタTN4)と、検知回路がメモリセルが適正にプログラムされたことを検知した場合は、所定のラッチ回路のラッチデータをリセットするために、所定のラッチデータリセット回路を選択するラッチデータリセット選択回路(AND論理素子AND3、AND4)とを備えているので、ビット線検知回路を複数のラッチ回路で共有することができ、書き込み回路の回路規模の縮小を図ることができる。さらに、ラッチデータリセット回路の能力を調整することでラッチデータを確実にリセットすることができる。さらに、ラッチ回路とビット線接続回路との間にレベルシフト回路を入れた場合においても、ラッチデータのリセット動作を行うことができる。

## 【0161】

## (第3実施形態)

本発明の第3実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)について図9を参照して詳細に説明する。

## 【0162】

図9は、本発明の第3実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)のメモリセルアレイ及び書き込み回路の構成を示す図である。図9において、前述した第1実施形態と同一機能の構成要素には同一の符号を付けて、その詳細な説明を省略する。ここでは構成が異なる部分のみを説明する。

## 【0163】

図9と第1実施形態で示した図4との相違点は、書き込み回路2-1~2-Nの構成が異なる点である。ビット線BL1に接続されている書き込み回路2-1を例に説明すると、書き込み回路2-1は第1ラッチ回路LAT1と、第2ラッチ回路LAT2と、レベルシフト回路LSと、トランスファゲートTGと、ビット線検知回路と、OR論理素子ORと、AND-OR論理素子GATEとから構成されている。

## 【0164】

第1ラッチ回路LAT1と第2ラッチ回路LAT2は直列に接続されており、第1ラッチ回路LAT1の出力Q、NQは高電圧VPPを電源とするレベルシフト回路LSに接続されている。また、第1ラッチ回路LAT1の出力QはAND-OR論理素子GATEの入力端子にも入力されている。ここで、第1ラッチ回路LAT1と第2ラッチ回路LAT2はフリップフロップ回路により構成されている。ラッチ回路をフリップフロップ回路で構成することで、複数のラッチ回路へのデータ格納、及びラッチデータ転送がクロックを入力するのみで可能となるため、ラッチ回路へのデータ転送制御、及びデータ転送制御が容易となる。

## 【0165】

AND-OR論理素子GATEは第2ラッチ回路LAT2の入力端子Dに外部入力データIOの反転データを入力するか、第1ラッチ回路LAT1の出力Qを入力するかを選択するための論理素子である。入力データの選択はリングシフト制御信号RINGにより行われ、リングシフト制御信号RINGが「L」レベルの時は外部入力データIOの反転データが、「H」レベルの時は第1ラッチ回路LAT1の出力Qが第2ラッチ回路LAT2の入力端子Dに入力される。

## 【0166】

AND論理素子AND1は第1データラッチ制御信号DL1とラッチ選択信号LATSELが入力されており、出力端子は第1ラッチ回路LAT1のデータ取り込み端子CKに入力されている。第1ラッチ回路LAT1へのデータの取り込みはラッチ選択信号LATSELが「H」レベルのときに、第1データラッチ制御信号DL1にクロックを入力することで行う。

## 【0167】

AND論理素子AND2は第2データラッチ制御信号DL2とラッチ選択信号LATSELが入力されており、出力端子は第2ラッチ回路LAT2のデータ取り込み端子CKに入力されている。第2ラッチ回路LAT2へのデータの取り込みはラッチ選択信号LATSELが「H」レベルのときに、第2データラッチ制御信号DL2にクロックを入力することで行う。

## 【0168】

リセット信号 RST は第 2 ラッチ回路 LAT2 のリセット端子 R と OR 論理素子 OR に入力されており、OR 論理素子 OR の出力は第 1 ラッチ回路 LAT1 のリセット端子 R に入力されている。リセット信号 RST を「H」レベルに設定することで、第 1 ラッチ回路 LAT1 と第 2 ラッチ回路 LAT2 はリセット状態に設定される。

#### 【0169】

ビット線 BL1 にはトランジスタ TNV0、TNV1、TPV0、TPV1 から構成されるビット線検知回路が接続されている。ビット線検知回路の出力であるラッチリセット信号 LRS T は OR 論理素子 OR に入力されており、ラッチリセット信号 LRS T が「H」レベルとなることで第 1 ラッチ回路 LAT1 をリセット状態に設定する。ビット線検知回路の動作は前述した第 2 実施形態と同様であるので、その詳細な説明を省略する。

#### 【0170】

以上のように構成された書き込み回路について、以下、その書き込み動作について説明する。ページ 1 の書き込み動作を始めるために、始めにページ 1 のデータラッチを行う。リングシフト制御信号 RING を「L」レベルに設定し、外部入力データ IO から書き込みデータを入力し、第 2 データラッチ制御信号 DL2 により、第 2 ラッチ回路 LAT2 に書き込みデータを格納する。ページ 1 のデータラッチ終了後、第 1 データラッチ制御信号 DL1 により、第 2 ラッチ回路 LAT2 に格納されたページ 1 の書き込みデータを第 1 ラッチ回路 LAT1 に転送する。ここで、プログラムデータ(0 データ)を格納するとラッチ回路の出力 Q は「H」レベルに、一方、イレースデータ(1 データ)を格納するとラッチ回路の出力 Q は「L」レベルに設定される。データラッチ期間中、ワード線 WL1、WL2、ソース線 SL、ウェル線 PW は接地電位に設定されている。また、トランスファゲート TG は非活性化状態に、ビット線リセット回路は活性化状態になっており、ビット線は接地電位に設定されている。

#### 【0171】

データラッチ終了後、プログラムモードに移行し、正高電圧発生回路 11 と負高電圧発生回路 12 はプログラム動作に必要な 5 V (VPP) と -8 V (VNN) の

高電圧をそれぞれ発生する。正高電圧発生回路 1 1 と負高電圧発生回路 1 2 の出力電圧  $V_{PP}$ 、 $V_{NN}$  が所定の電圧に達した後に、ワード線  $WL_1$  を  $-8V$  に、ソース線  $SL$  を高インピーダンス状態に、ビット線リセット回路を非活性化状態に、トランスファゲート  $TG$  を活性化状態にして、レベルシフト回路  $LS$  とビット線とを接続することでプログラム動作を開始する。

#### 【0 1 7 2】

ページ 1 のプログラム動作と並行して、ページ 2 のデータラッチを行う。リングシフト制御信号  $RING$  を「L」レベルに設定し、外部入力データ  $IO$  から書き込みデータを入力し、第 2 データラッチ制御信号  $DL_2$  により、第 2 ラッチ回路  $LAT_2$  に書き込みデータを格納する。

#### 【0 1 7 3】

このように、選択ページの書き込み動作中に、選択ページ以外のラッチ回路へ次ページの書き込みデータの設定を行うため、データラッチ時間を削減することができる。従って、データの高速書き込み実現することができる。

#### 【0 1 7 4】

所定の時間プログラムが行われた後、ワード線  $WL_1$ 、ソース線  $SL$  を接地電位に、トランスファゲート  $TG$  を非活性化状態に、ビット線リセット回路を活性化状態にしてビット線を接地電位に設定することでページ 1 のプログラム動作を終了する。この時点で第 1 ラッチ回路  $LAT_1$  にはページ 1 の書き込みデータが、第 2 ラッチ回路  $LAT_2$  にはページ 2 の書き込みデータが格納されている。ここで、リングシフト制御信号  $RING$  を「H」レベルに設定し、第 1 データラッチ制御信号  $DL_1$  と第 2 データラッチ制御信号  $DL_2$  により、第 1 ラッチ回路  $LAT_1$  と第 2 ラッチ回路  $LAT_2$  のラッチデータをリング状にシフトし、第 1 ラッチ回路  $LAT_1$  にページ 2 の書き込みデータを、第 2 ラッチ回路  $LAT_2$  にページ 1 の書き込みデータを格納する。

#### 【0 1 7 5】

次に、正高電圧発生回路 1 1 と負高電圧発生回路 1 2 を継続動作させて、高電圧  $V_{PP}$ 、 $V_{NN}$  を継続して発生させた状態で、ページ 2 のプログラム動作を行う。ここで、高電圧  $V_{PP}$ 、 $V_{NN}$  はプログラム動作に必要な電圧を既に発生し

ているので、高電圧発生回路の出力安定待ち時間を待つことなくページ2のプログラム動作を行うことができる。ページ2のワード線WL2を $-8\text{V}$ に、ソース線SLを高インピーダンス状態に、ビット線リセット回路を非活性化状態に、トランスファゲートTGを活性化状態にして、レベルシフト回路LSとビット線とを接続することでページ2のプログラム動作を開始する。

#### 【0176】

所定の時間プログラムが行われた後、ワード線WL2、ソース線SLを接地電位に、トランスファゲートTGを非活性化状態に、ビット線リセット回路を活性化状態にしてビット線を接地電位に設定することでページ2のプログラム動作を終了する。この時点で第1ラッチ回路LAT1にはページ2の書き込みデータが、第2ラッチ回路LAT2にはページ1の書き込みデータが格納されている。ここで、リングシフト制御信号RINGを「H」レベルに設定し、第1データラッチ制御信号DL1と第2データラッチ制御信号DL2により、第1ラッチ回路LAT1と第2ラッチ回路LAT2のラッチデータをリング状にシフトし、第1ラッチ回路LAT1にページ1の書き込みデータを、第2ラッチ回路LAT2にページ2の書き込みデータを格納する。連続プログラム動作終了後、第1ラッチ回路LAT1と第2ラッチ回路LAT2に格納される書き込みデータは最初の状態に戻るようになる。

#### 【0177】

次に、ページ1とページ2の連続ベリファイ動作が行われる。ベリファイモードに移行し、正高電圧発生回路11と負高電圧発生回路12は電源電圧VDD(VPP)と接地電位VSS(VNN)の電圧をそれぞれ発生する。正高電圧発生回路11と負高電圧発生回路12の出力電圧VPP、VNNが所定の電圧に達した後に、ビット線リセット回路を非活性化状態に、トランスファゲートTGを活性化状態にして、プログラムデータ(第1ラッチ回路LAT1の出力Qが「H」レベル)であるビット線のみを電源電圧VDDにプリチャージする。ビット線のプリチャージが終了後、トランスファゲートTGを非活性化状態にしてレベルシフト回路LSとビット線とを切り離し、ワード線WL1に1Vの電圧を印加する。その後、メモリセルのしきい値電圧に応じてビット線の電位が変化する。

## 【0178】

所定の時間経過後、ベリファイ動作信号NVRを「L」レベルに設定することでビット線検知回路を活性化状態にする。ここで、メモリセルのしきい値電圧が1V以下(メモリセルが適正にプログラムされている)であれば、ビット線が接地電位にディスチャージされているため、ラッチリセット信号LRSTは「H」レベルとなり、OR論理素子ORの出力は「H」レベルとなる。これにより、第1ラッチ回路LAT1のラッチデータはリセット状態に設定される。すなわち、第1ラッチ回路LAT1の出力Qは「L」レベル(イレースデータ)に書き換えられ、以後のプログラムは行われない。

## 【0179】

一方、メモリセルのしきい値電圧が1V以上(メモリセルが適正にプログラムされていない)であれば、ビット線は電源電圧VDDを維持しているため、ラッチリセット信号LRSTは「L」レベルとなり、OR論理素子ORの出力は「L」となる。これにより、第1ラッチ回路LAT1のラッチデータは最初に設定されたデータがそのまま保持され、以後のプログラム動作で再度プログラムが行われる。

## 【0180】

所定の時間経過後、ワード線WL1を接地電位に、ビット線リセット回路を活性化状態にしてビット線を接地電位に設定することでページ1のベリファイ動作を終了する。この時点で第1ラッチ回路LAT1にはベリファイ後のページ1の書き込みデータが、第2ラッチ回路LAT2にはページ2の書き込みデータが格納されている。ここで、リングシフト制御信号RINGを「H」レベルに設定し、第1データラッチ制御信号DL1と第2データラッチ制御信号DL2により、第1ラッチ回路LAT1と第2ラッチ回路LAT2のラッチデータをリング状にシフトし、第1ラッチ回路LAT1にページ2の書き込みデータを、第2ラッチ回路LAT2にベリファイ後のページ1の書き込みデータを格納する。

## 【0181】

次に、正高電圧発生回路11と負高電圧発生回路12を継続動作させて、電圧VPP、VNNを継続して発生させた状態で、ページ2のベリファイ動作を行う



。ここで、電圧VPP、VNNはベリファイ動作に必要な電圧を既に発生しているので、高電圧発生回路の出力安定待ち時間を待つことなくページ2のベリファイ動作を行うことができる。ページ2のワード線WL2を選択してベリファイ動作を行い、ページ2のデータが格納された第1ラッチ回路LAT1のデータを書き換える。この時点で第1ラッチ回路LAT1にはベリファイ後のページ2の書き込みデータが、第2ラッチ回路LAT2にはベリファイ後のページ1の書き込みデータが格納されている。

#### 【0182】

ここで、リングシフト制御信号RINGを「H」レベルに設定し、第1データラッチ制御信号DL1と第2データラッチ制御信号DL2により、第1ラッチ回路LAT1と第2ラッチ回路LAT2のラッチデータをリング状にシフトし、第1ラッチ回路LAT1にベリファイ後のページ1の書き込みデータを、第2ラッチ回路LAT2にベリファイ後のページ2の書き込みデータを格納する。連続ベリファイ動作終了後、第1ラッチ回路LAT1と第2ラッチ回路LAT2にはベリファイ後の書き込みデータが格納されることになる。

#### 【0183】

ページ1とページ2の連続プログラム動作と連続ベリファイ動作を繰り返し、ページ1のベリファイ動作でパスしたとする。ラッチデータをリング状にシフトした後、ページ2のベリファイ動作が行われるが、ページ2のベリファイ動作と並行して、書き込み動作が完了した第2ラッチ回路LAT2にページ3の書き込みデータを第2データラッチ制御信号DL2により格納する。ページ2のベリファイ動作でフェイルした場合は、その後、ページ2とページ3の連続プログラム動作と連続ベリファイ動作により書き込み動作が行われる。

#### 【0184】

以上のように、本発明の第3実施形態に係るフラッシュメモリは、ビット線毎に配置される書き込み回路が複数ページの書き込みデータを格納するために複数のラッチ回路が直列に接続された直列接続ラッチ群と、直列接続ラッチ群の最終段ラッチ回路とビット線とを接続するビット線接続回路とを備え、直列接続ラッチ群の各ラッチ回路のラッチデータを次段のラッチ回路に転送し、且つ最終段ラ

ッチ回路のラッチデータを初段ラッチ回路に転送することで直列接続ラッチ群の各ラッチ回路のラッチデータをリング状に転送するラッチデータ転送制御回路をさらに備え、電圧発生回路を継続動作させて、プログラム動作に必要な電圧を継続して発生させた状態で、複数のラッチ回路に格納された複数ページの書き込みデータをリング状に転送して複数ページのプログラム動作を連続して行う連続プログラム動作と、電圧発生回路を継続動作させて、ベリファイ動作に必要な電圧を継続して発生させた状態で、複数のラッチ回路に格納された複数ページの書き込みデータをリング状に転送して複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返し行うことにより、複数ページの書き込み動作を行うので、電圧発生回路のプログラム電圧出力安定待ち時間、及びベリファイ電圧出力安定待ち時間を削減することができ、データの高速書き込みを実現することができる。さらに、ラッチデータをシフト動作するのみで、次ページの書き込み動作が可能となるため、データの高速書き込みを実現することができる。さらに、ビット線接続回路を複数のラッチ回路で共有することができるため、書き込み回路の回路規模の縮小を図ることができる。

#### 【0185】

さらに、選択ページのラッチ回路に格納された書き込みデータのプログラム動作中あるいはベリファイ動作中に、選択ページ以外のラッチ回路に対して書き込みデータの設定を行うので、データラッチ時間を削減することができ、データの高速書き込みを実現することができる。

#### 【0186】

さらに、ラッチ回路をフリップフロップ回路により構成することで、複数のラッチ回路へのデータ格納、及びラッチデータ転送がクロックを入力するのみで可能となるため、ラッチ回路へのデータ格納制御、及びデータ転送制御が容易となる。

#### 【0187】

(第4実施形態)

本発明の第4実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)について図10、図11を参照して詳細に説明する。

## 【0188】

図10は、本発明の第4実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)のメモリセルアレイ及び書き込み回路の構成を示す図である。図10において、前述した第1実施形態と同一機能の構成要素には同一の符号を付けて、その詳細な説明を省略する。ここでは構成が異なる部分のみを説明する。

## 【0189】

図10と第1実施形態で示した図4との相違点は、メモリセルアレイ1の周辺部分の構成が異なる点である。図10において、書き込み回路2-1はメインビット線MBL1に接続されている。メインビット線MBL1はセレクトゲート31を介してサブビット線SBL1、SBL2に接続されている。具体的に説明すると、サブビット線SBL1は第1セレクトゲートトランジスタSGT1を介してメインビット線MBL1に接続され、その接続は第1セレクトゲート制御信号SG1により制御される。同様に、サブビット線SBL2は第2セレクトゲートトランジスタSGT2を介してメインビット線MBL1に接続され、その接続は第2セレクトゲート制御信号SG2により制御される。

## 【0190】

各サブビット線にはサブビット線を接地電位に設定するためのサブビット線リセット回路32が接続されている。具体的に説明すると、サブビット線SBL1にはサブビット線SBL1を接地電位に設定するための第1サブビット線リセットトランジスタRT11が接続され、その制御は第1サブビット線リセット制御信号BLRST1により制御される。同様に、サブビット線SBL2にはサブビット線SBL2を接地電位に設定するための第2サブビット線リセットトランジスタRT12が接続され、その制御は第2サブビット線リセット制御信号BLRST2により制御される。

## 【0191】

サブビット線SBL1、SBL2には、前述した第1実施形態と同様のメモリセルアレイ1が接続されている。

## 【0192】

ここで、書き込み回路2-1はサブビット線SBL1、SBL2に共通に配置

されている。このような構成では、1本のワード線に接続されたメモリセルは複数のページにより構成される。すなわち、ワード線WL1に接続されたメモリセルは、サブビット線SBL1を選択して書き込まれるページ1のメモリセルM11と、サブビット線SBL2を選択して書き込まれるページ2のメモリセルM12が含まれる。ワード線WL2に接続されたメモリセルは、サブビット線SBL1を選択して書き込まれるページ3のメモリセルM21と、サブビット線SBL2を選択して書き込まれるページ4のメモリセルM22が含まれる。

#### 【0193】

以上のように、本発明の第4実施形態に係るフラッシュメモリは1本のワード線に複数ページのメモリセルが接続された構成であり、サブビット線を個別にリセット状態に設定可能なサブビット線リセット回路32を備えていることを特徴とする。このような構成のフラッシュメモリでは、書き込み動作時におけるワード線の電圧印加制御方法、及びサブビット線リセット回路32の制御方法に特徴がある。

#### 【0194】

以上のように構成されたフラッシュメモリについて、以下、その書き込み動作について説明する。

#### 【0195】

図11は、本発明の第4実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)の書き込み動作を説明するためのタイミングチャート図である。図11では、データラッチ制御信号DL1、DL2、高電圧発生回路の出力電圧VPP、VNN、ワード線WL1、WL2、セレクトゲート制御信号SG1、SG2、トランスファゲート制御信号TGS1、TGS2、ビット線リセット制御信号BLRST1、BLRST2、BLRST、サブビット線SBL1、SBL2の動作波形について示している。

#### 【0196】

ページ1の書き込み動作を始めるために、始めに第1ラッチ回路LAT1へのデータラッチが第1データラッチ制御信号DL1により行われる(Data Latch1)。データラッチ期間中、ワード線WL1、WL2、ソース線SL、ウェル線PW

は接地電位に設定されている。また、第1トランスファゲートTG1と第2トランスファゲートTG2は非活性化状態に、ビット線リセット回路とサブビット線リセット回路32は活性化状態になっており、メインビット線とサブビット線は接地電位に設定されている。

#### 【0197】

データラッチ終了後、プログラムモードに移行し、正高電圧発生回路11と負高電圧発生回路12はプログラム動作に必要な5V(VPP)と-8V(VNN)の高電圧をそれぞれ発生する。正高電圧発生回路11と負高電圧発生回路12の出力電圧VPP、VNNが所定の電圧に達した後に、ワード線WL1を-8Vに、ソース線SLを高インピーダンス状態に、ビット線リセット回路と第1サブビット線リセットトランジスタRT11を非活性化状態に、第1トランスファゲートTG1と第1セレクトゲートトランジスタSGT1を活性化状態にして、ページ1のプログラム動作を開始する(Program1)。ページ1のプログラム動作と並行して、ページ2の書き込みデータを第2データラッチ制御信号DL2により第2ラッチ回路LAT2に格納する(Data Latch2)。

#### 【0198】

所定の時間プログラムが行われた後、ワード線WL1の電圧を-8Vに維持した状態で、第1セレクトゲートトランジスタSGT1を非活性化状態に、第2セレクトゲートトランジスタSGT2を活性化状態に、第2サブビット線リセットトランジスタRT12を非活性化状態にしてサブビット線SBL2を選択し、第1トランスファゲートTG1を非活性化状態に、第2トランスファゲートTG2を活性化状態にして、ページ2のプログラム動作を行う(Program2)。サブビット線SBL2のプログラム動作と並行して、第1サブビット線リセットトランジスタRT11を活性化状態にすることで、サブビット線SBL1を接地電位に設定する。

#### 【0199】

このように、ワード線WL1の電圧を-8Vに維持した状態で、ページ2のプログラム動作を行うため、プログラム動作時におけるワード線の電圧立ち上げ時間と電圧立ち下げ時間を削減することができる。従って、プログラム動作の高速

化を図ることができる。さらに、ワード線の充放電回数を削減することができるため、プログラム動作の低消費電力化を図ることができる。さらに、サブビット線リセット回路32により、非選択サブビット線を接地電位に設定することができるため、プログラム動作が終了したサブビット線が接地電位に設定されるのを待つことなく、次ページのプログラム動作を開始することができる。従って、プログラム動作の高速化を図ることができる。

#### 【0200】

ページ1とページ2の連続プログラム動作終了後、ページ1とページ2の連続ベリファイ動作を行う。ここでも連続プログラム動作と同様に、ワード線WL1を1Vに立ち上げた状態で連続ベリファイ動作が行われる。また、サブビット線リセット回路32により、選択サブビット線のベリファイ動作中に非選択サブビット線を接地電位に設定する。

#### 【0201】

このように、ワード線WL1の電圧を1Vに維持した状態で、ページ2のベリファイ動作を行うため、ワード線の電圧立ち上げ時間と電圧立ち下げ時間を削減することができる。従って、ベリファイ動作の高速化を図ることができる。さらに、ワード線の充放電回数を削減することができるため、ベリファイ動作の低消費電力化を図ることができる。さらに、サブビット線リセット回路32により、非選択サブビット線を接地電位に設定することができるため、ベリファイ動作が終了したサブビット線が接地電位に設定されるのを待つことなく、次ページのベリファイ動作を開始することができる。従って、ベリファイ動作の高速化を図ることができる。

#### 【0202】

その後の連続プログラム動作と連続ベリファイ動作は同様であるので説明を省略する。

#### 【0203】

以上のように、本発明の第4実施形態に係るフラッシュメモリは、1本のワード線に複数ページのメモリセルが接続された構成であり、ワード線にプログラム動作、ベリファイ動作に必要な電圧を継続して印加した状態で連続プログラム動

作、連続ベリファイ動作を行うので、プログラム動作時、ベリファイ動作時におけるワード線の電圧立ち上げ時間、電圧立ち下げ時間を削減することができ、高速プログラム動作、高速ベリファイ動作を実現することができる。さらに、ワード線の充放電回数を削減することができるため、低消費電力プログラム動作、低消費電力ベリファイ動作を実現することができる。

#### 【0204】

さらに、連続プログラム動作中あるいは連続ベリファイ動作中に、非選択のビット線を接地電位に設定するビット線リセット回路を備えているので、選択ページのプログラム動作中あるいはベリファイ動作中に、非選択ページのビット線を接地電位に設定することができるため、選択ページのプログラム動作あるいはベリファイ動作終了後に、選択ページのビット線が接地電位にリセットされるのを待つことなく、次ページのプログラム動作あるいはベリファイ動作を行うことができる。従って、データ的高速書き込みを実現することができる。

#### 【0205】

(第5実施形態)

本発明の第5実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)について図12を参照して詳細に説明する。

#### 【0206】

第5実施形態はラッチ回路に書き込みデータを格納するデータラッチ時間が1ページのプログラム時間、ベリファイ時間に対して長い場合の動作制御方法に関するものである。第5実施形態では、前述した第1実施形態～第4実施形態で説明した、回路構成、及び連続プログラム動作、連続ベリファイ動作による書き込み動作等は同様であるので、その詳細な説明を省略する。ここでは、データラッチ時間が1ページのプログラム時間、ベリファイ時間に対して長い場合における書き込みコマンド及び内部動作状態の制御方法についてのみ説明する。

#### 【0207】

図12は、本発明の第5実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)の書き込みコマンド及び内部動作状態を示す図である。図12(a)に示すように、始めに、プログラムコマンドCM1とページ1のプログラムアドレス

AD1を入力し、引き続きページ1の書き込みデータを入力する。書き込みデータ入力後にプログラムコマンドCM2を入力することで、ページ1の書き込み動作が開始される。ページ1のプログラム動作中もレディー状態となっており、ページ1のプログラム動作と並行してプログラムコマンドCM1とページ2のプログラムアドレスAD2を入力し、引き続きページ2の書き込みデータを入力する。書き込みデータ入力後にプログラムコマンドCM2を入力することで、ビジー状態となる。

#### 【0208】

ここで、データラッチ時間がページ1のプログラム時間より長いため、ページ2のデータラッチ中にページ1のプログラム動作が終了する。ページ1のプログラム動作終了時点で、ページ2のデータラッチ動作が終了していない場合は、ページ1のベリファイ動作を実行する。ページ2のデータラッチ動作が終了するまで、ページ1のプログラム動作とベリファイ動作が交互に行われる。

#### 【0209】

ページ2のデータラッチ動作終了後、ページ1とページ2の連続プログラム動作と連続ベリファイ動作により高速書き込み動作を実施する。

#### 【0210】

図12(b)に示すように、ページ1とページ2の連続プログラム動作と連続ベリファイ動作を繰り返し、ページ1のベリファイ動作でパスしたとする。次に、ページ2のベリファイ動作が行われるが、このときレディー状態となり、ページ2のベリファイ動作と並行してプログラムコマンドCM1とページ3のプログラムアドレスAD3を入力し、引き続きページ3の書き込みデータを入力する。書き込みデータ入力後にプログラムコマンドCM2を入力することで、ビジー状態となる。

#### 【0211】

ここで、データラッチ時間がページ2のベリファイ時間より長いため、ページ3のデータラッチ中にページ2のベリファイ動作が終了する。ページ2のベリファイ動作終了時点で、ページ3のデータラッチ動作が終了していない場合は、ページ2のプログラム動作を実行する。ページ3のデータラッチ動作が終了するま



で、ページ2のプログラム動作とベリファイ動作が交互に行われる。

#### 【0212】

ページ3のデータラッチ動作終了後、ページ2とページ3の連続プログラム動作と連続ベリファイ動作により高速書き込み動作を実施する。

#### 【0213】

以上のように、本発明の第5実施形態に係るフラッシュメモリは、選択ページのラッチ回路に書き込みデータを設定中は、選択ページのラッチ回路へ書き込みデータの設定が終了するまで、選択ページ以外のページで、且つ書き込みデータの設定が完了したページの連続プログラム動作及び連続ベリファイ動作を行うので、効率的な書き込み動作を行うことができ、データの高速書き込みを実現することができる。

#### 【0214】

以上、本発明に係る第1実施形態～第5実施形態を説明してきたが、本発明に係る不揮発性半導体記憶装置及びその書き込み方法は、上述の例示にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更等を加えたものに対しても有効である。

#### 【0215】

例えば、本実施形態ではフラッシュメモリを例に説明してきたが、他の不揮発性半導体記憶装置に対しても適用可能である。

#### 【0216】

例えば、本実施形態ではNOR型のフラッシュメモリセルアレイを例に説明してきたが、DINOR型、NAND型、AND型のフラッシュメモリセルアレイに対しても適用可能である。

#### 【0217】

例えば、本実施形態では図1に示す構成のフラッシュメモリを例に説明してきたが、その他の構成のフラッシュメモリに対しても適用可能である。

#### 【0218】

例えば、本実施形態では図4、図8、図9、図10に示す構成の書き込み回路を例に説明してきたが、データラッチ動作、プログラム動作、ベリファイ動作を

行うその他の構成の書き込み回路に対しても適用可能である。

#### 【0219】

例えば、本実施形態では書き込み回路のラッチ回路が2つの場合を例に説明してきたが、ラッチ回路が3個以上の場合に対しても適用可能である。

#### 【0220】

#### 【発明の効果】

以上詳述したように、本発明に係る不揮発性半導体記憶装置及びその書き込み方法によれば、ビット線毎あるいは複数のビット線毎に配置される書き込み回路が複数のラッチ回路を備え、電圧発生回路がプログラム動作に必要な電圧を継続して発生した状態で、複数ページのプログラム動作を連続して行う連続プログラム動作と、電圧発生回路がベリファイ動作に必要な電圧を継続して発生した状態で、複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返して行うことにより複数ページの書き込み動作を行うように構成されているので、電圧発生回路のプログラム電圧出力安定化待ち時間、及びベリファイ電圧出力安定化待ち時間を削減することができる。従って、データの高速書き込み実現することができる。

#### 【0221】

さらに、選択ページのプログラム動作あるいはベリファイ動作と並行して、選択ページ以外のラッチ回路に対して書き込みデータを設定することができるように構成されているので、データラッチ時間を削減することができる。従って、データの高速書き込みを実現することができる。

#### 【図面の簡単な説明】

#### 【図1】

本発明の各実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)の構成を示す図である。

#### 【図2】

本発明の各実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)に使用されるメモリセルの断面構造を示す図である。

#### 【図3】

本発明の各実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)に使用されるメモリセルのしきい値電圧分布を示す図である。

【図 4】

本発明の第 1 実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)のメモリセルアレイ及び書き込み回路の構成を示す図である。

【図 5】

本発明の第 1 実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)の書き込み動作を説明するためのフローチャート図である。

【図 6】

本発明の第 1 実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)の書き込み動作を説明するためのタイミングチャート図である。

【図 7】

本発明の第 1 実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)の書き込みコマンド及び内部動作状態を示す図である。

【図 8】

本発明の第 2 実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)のメモリセルアレイ及び書き込み回路の構成を示す図である。

【図 9】

本発明の第 3 実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)のメモリセルアレイ及び書き込み回路の構成を示す図である。

【図 1 0】

本発明の第 4 実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)のメモリセルアレイ及び書き込み回路の構成を示す図である。

【図 1 1】

本発明の第 4 実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)の書き込み動作を説明するためのタイミングチャート図である。

【図 1 2】

本発明の第 5 実施形態に係るフラッシュメモリ(不揮発性半導体記憶装置)の書き込みコマンド及び内部動作状態を示す図である。

**【図 1 3】**

従来のフラッシュメモリ(不揮発性半導体記憶装置)のメモリセルアレイ及び書き込み回路の構成を示す図である。

**【図 1 4】**

従来のフラッシュメモリ(不揮発性半導体記憶装置)の書き込み動作を説明するためのフローチャート図である。

**【図 1 5】**

従来のフラッシュメモリ(不揮発性半導体記憶装置)の書き込み動作を説明するためのタイミングチャート図である。

**【図 1 6】**

従来のフラッシュメモリ(不揮発性半導体記憶装置)の書き込みコマンド及び内部動作状態を示す図である。

**【符号の説明】**

- 1   メモリセルアレイ
- 2   書き込み回路
- 3   Xデコーダ
- 4   Yデコーダ
- 5   Yゲート
- 6   センスアンプ
- 7   I/Oバッファ
- 8   制御回路
- 9   アドレスバッファ
- 10   電源回路
- 11   正高電圧発生回路
- 12   負高電圧発生回路
- 31   セレクトゲート
- 32   サブビット線リセット回路
- 101   コントロールゲート
- 102   ONO(Oxide-Nitride-Oxide)膜

103 フローティングゲート

104 トンネル酸化膜

105 ソース

106 ドレイン

107 Pウェル

108 ディープNウェル

109 基板

201 読み出しレベル

202 プログラム状態しきい値電圧分布

203 イレーズ状態しきい値電圧分布

A アドレス端子

DQ データ入出力端子

/CE チップイネーブル端子

/OE 出力イネーブル端子

/WE 書き込みイネーブル端子

VPP 正高電圧

VNN 負高電圧

M11~M2N メモリセル

WL1、WL2 ワード線

BL1~BLN ビット線

SL ソース線

PW ウェル線

LAT、LAT1、LAT2 ラッチ回路

TG、TG1、TG2 トランスファゲート

TN、TN1、TN2 ラッチデータ格納スイッチ

LS、LS1、LS2 レベルシフト回路

TN3、TN4 ラッチデータリセットトランジスタ

RT1、RT11、RT12 ビット線リセットトランジスタ

ILS、ILS1、ILS2 インバータ

SGT1、SGT2 セレクトゲートトランジスタ

TGS、TGS1、TGS2 トランスファゲート制御信号

DL、DL1、DL2 データラッチ制御信号

LATSEL ラッチ選択信号

IO 外部入力データ

BLRST、BLRST1、BLRST2 ビット線リセット制御信号

SG1、SG2 セレクトゲート制御信号

NVR ベリファイ動作信号

LRST ラッチリセット信号

VR1、VR2 ラッチベリファイ信号

RING リングシフト制御信号

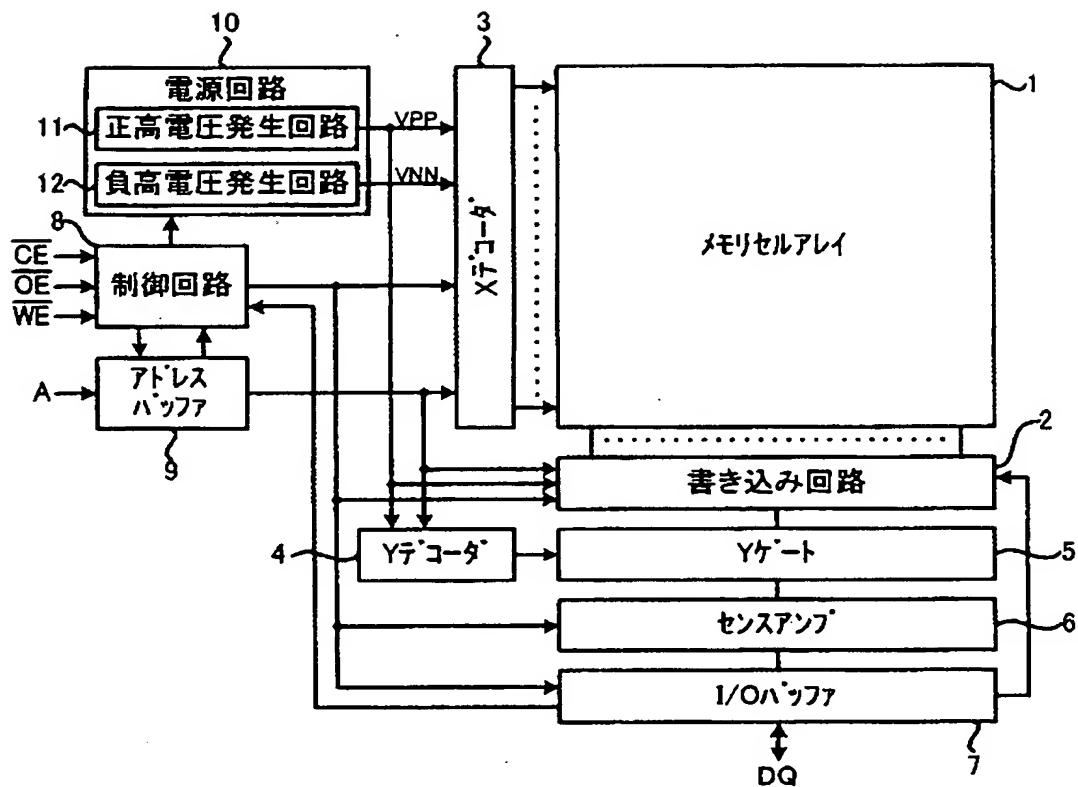
AND、AND1～AND4 AND論理素子

OR OR論理素子

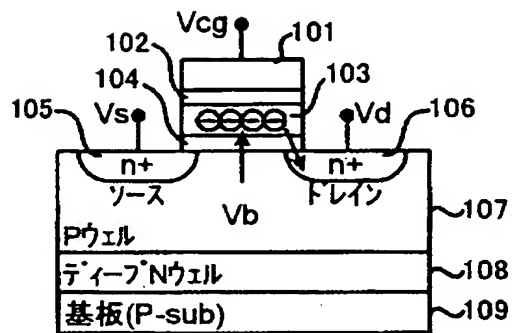
GATE AND-OR論理素子

【書類名】 図面

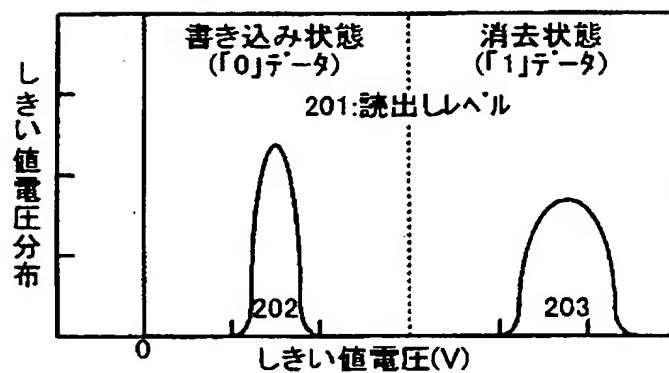
【図 1】



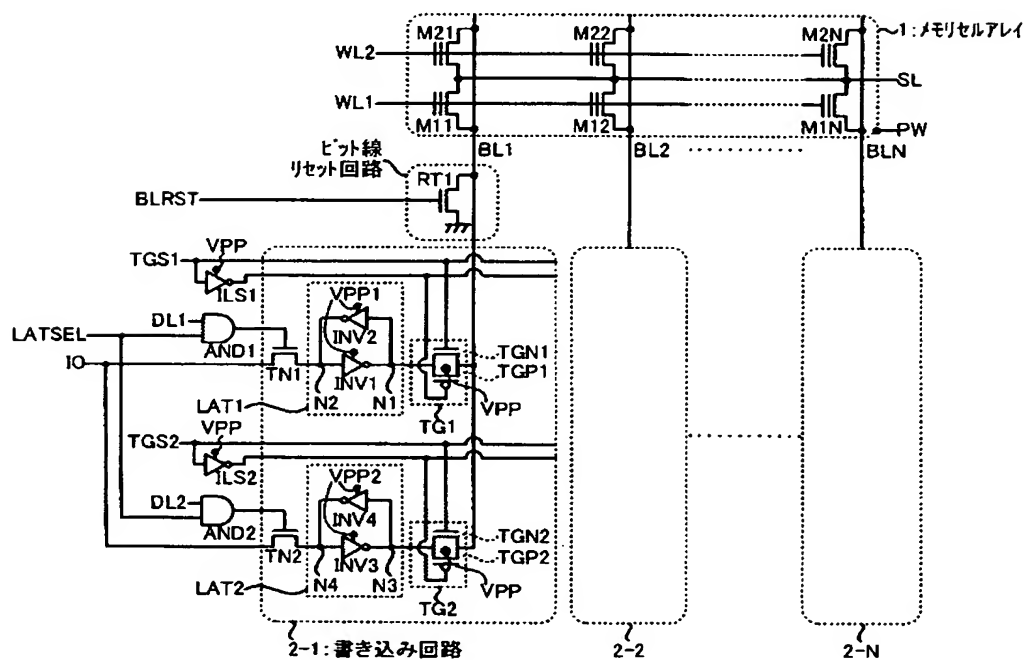
【図 2】



【図 3】

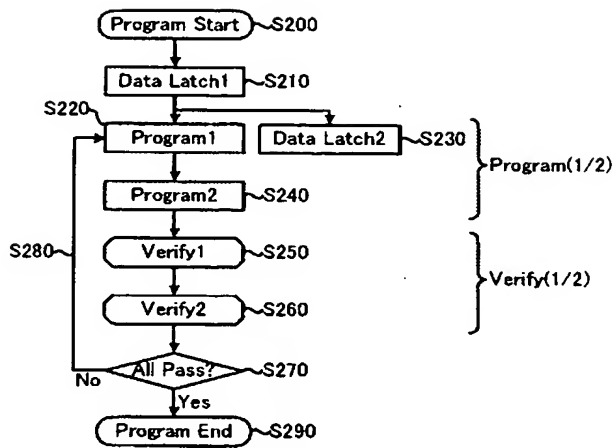


【図 4】

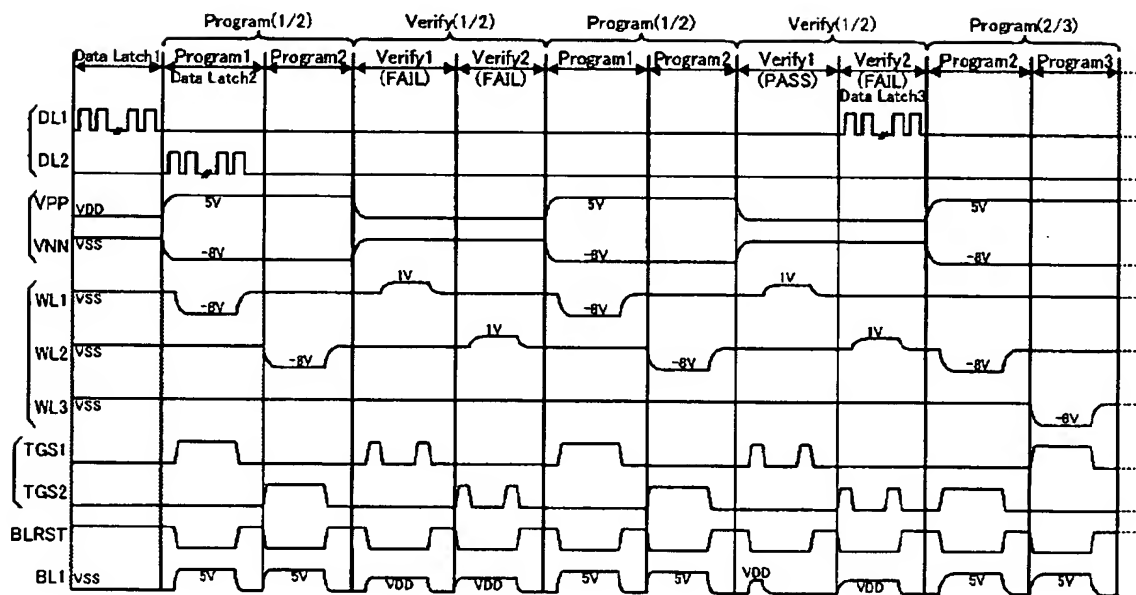




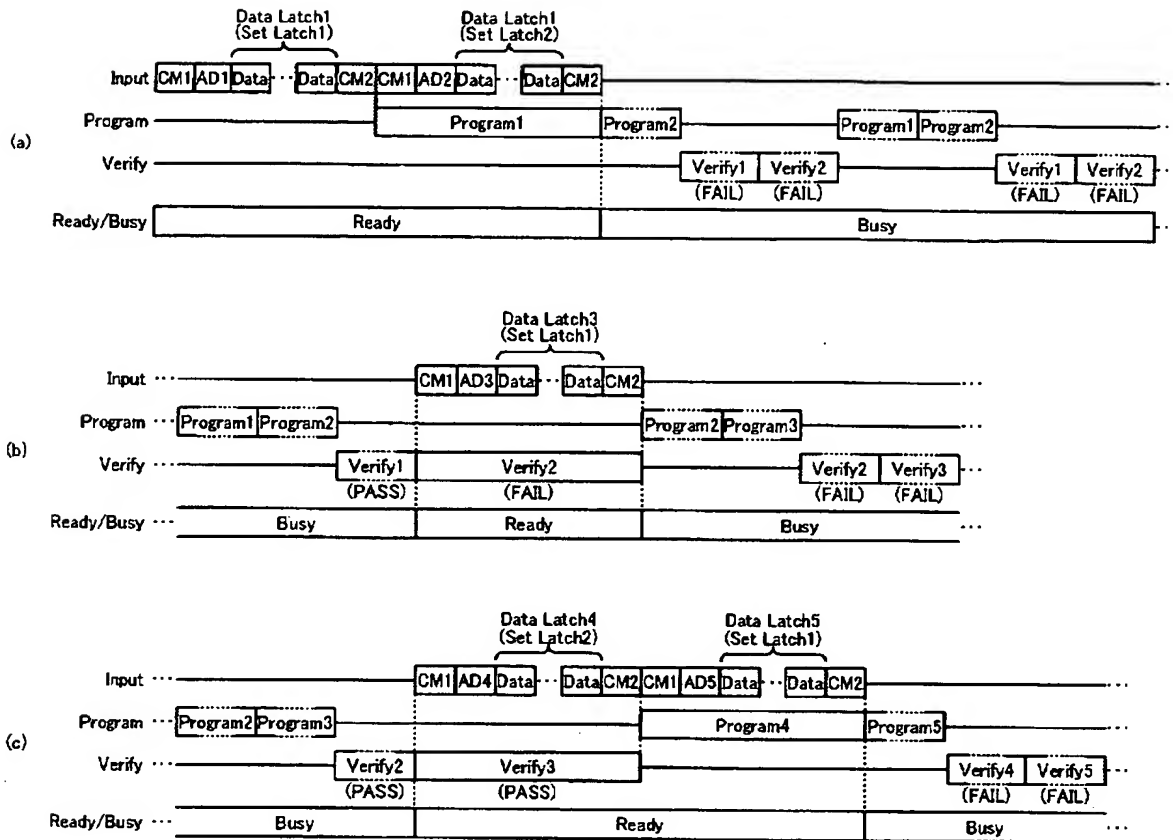
【図 5】



【図 6】

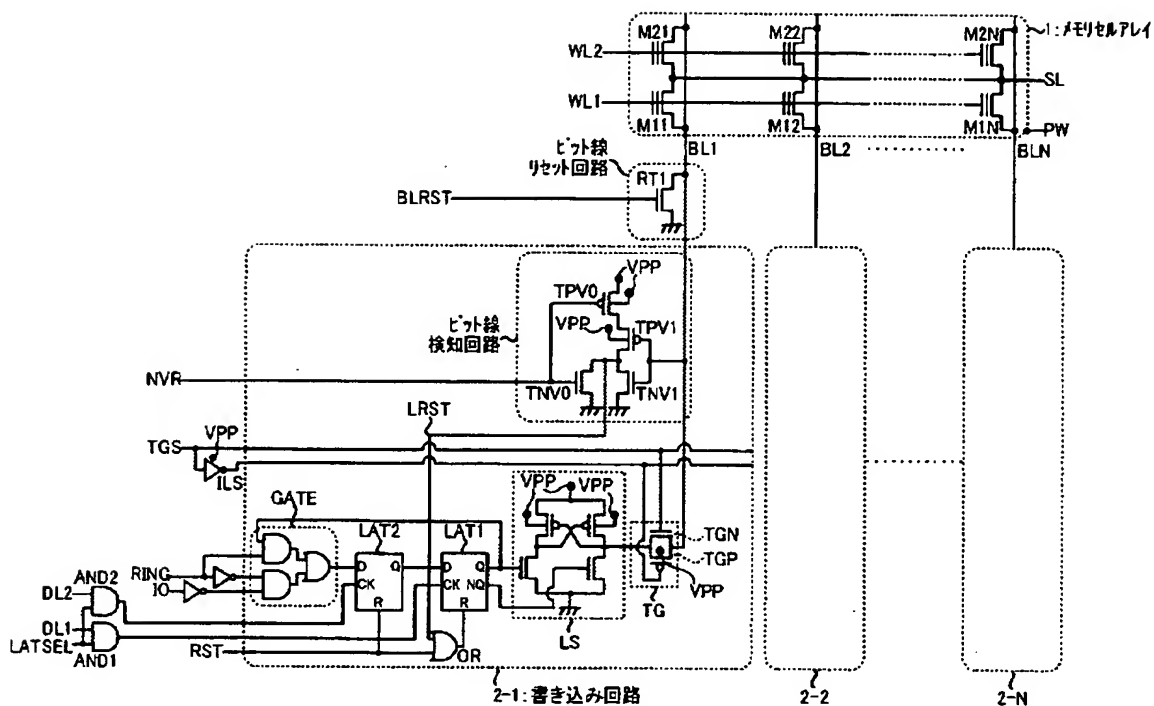


【図 7】

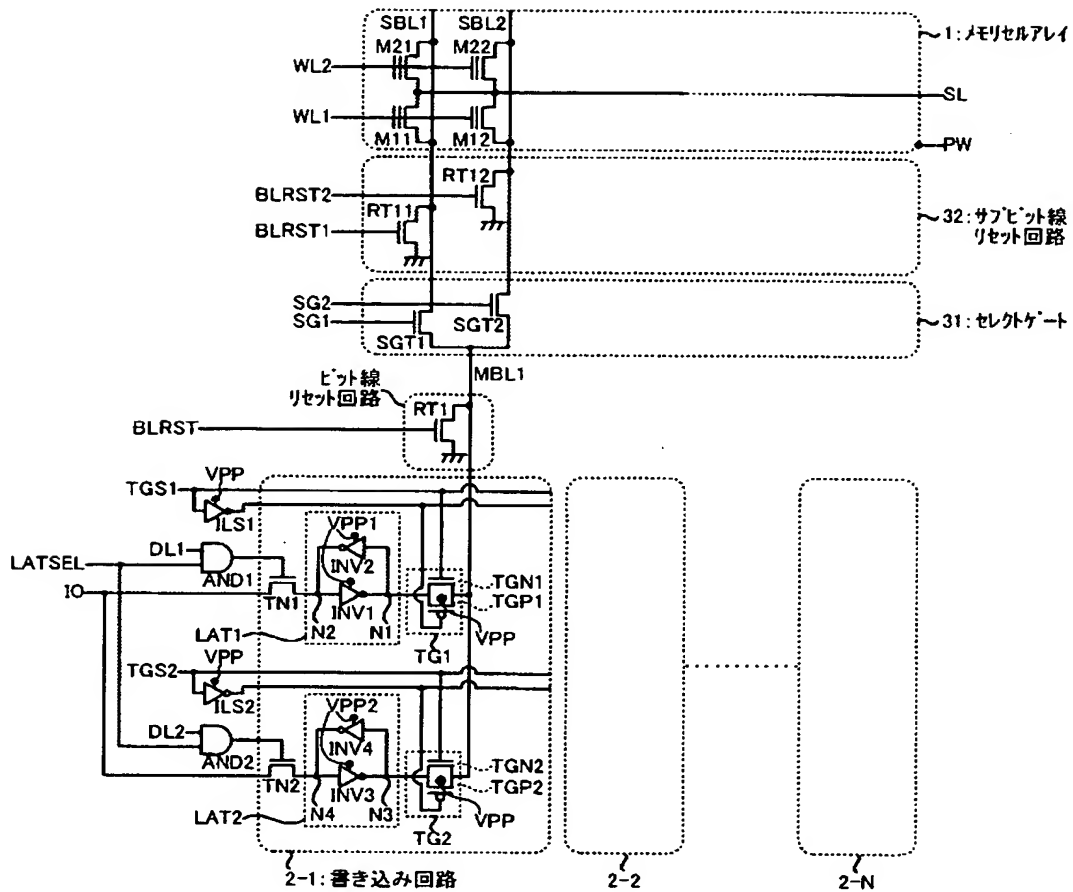




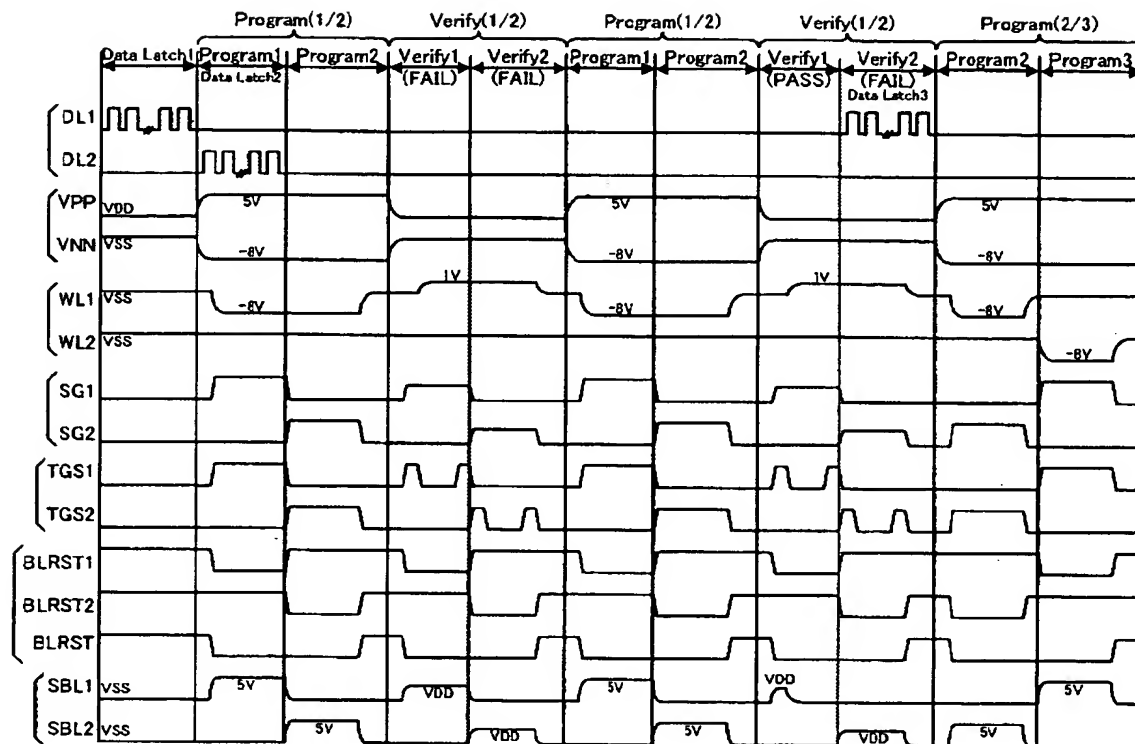
【図 9】



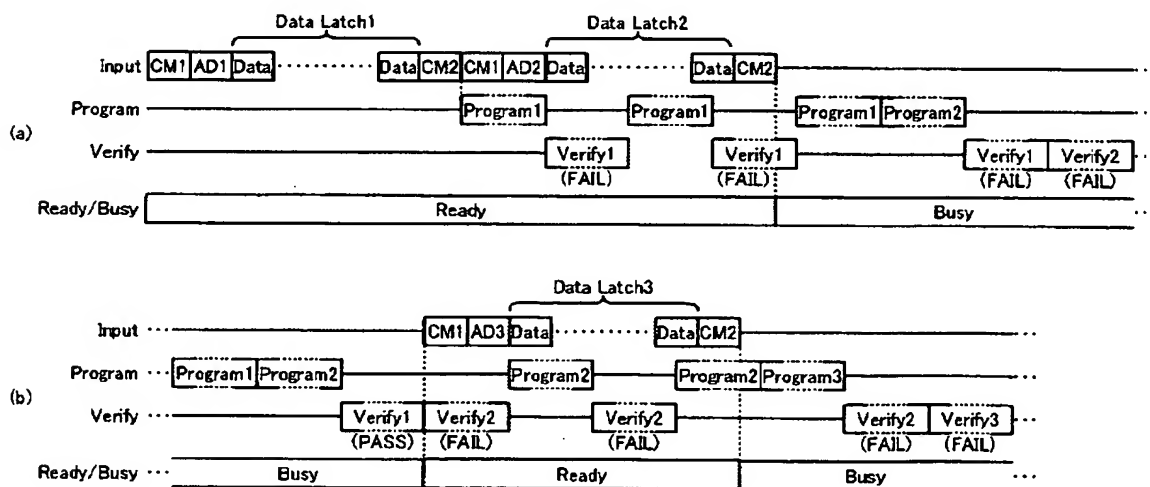
【図10】



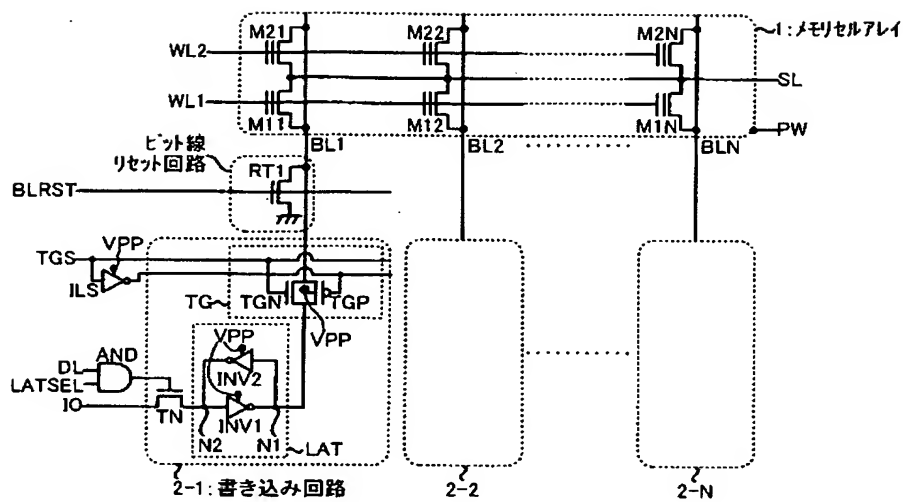
【図 11】



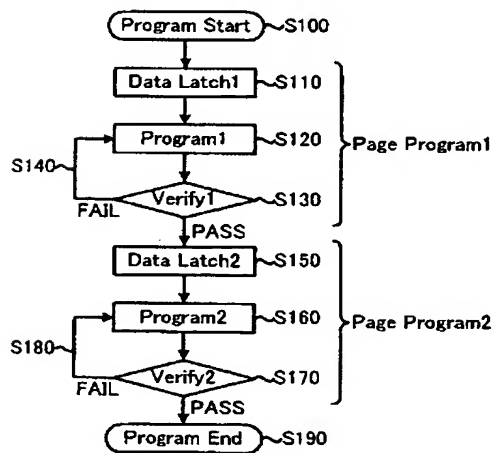
【図 12】



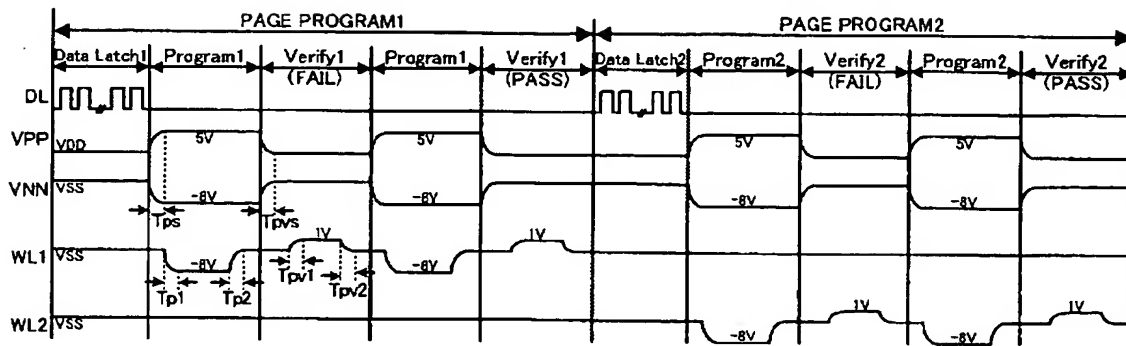
【図 13】



【図 14】

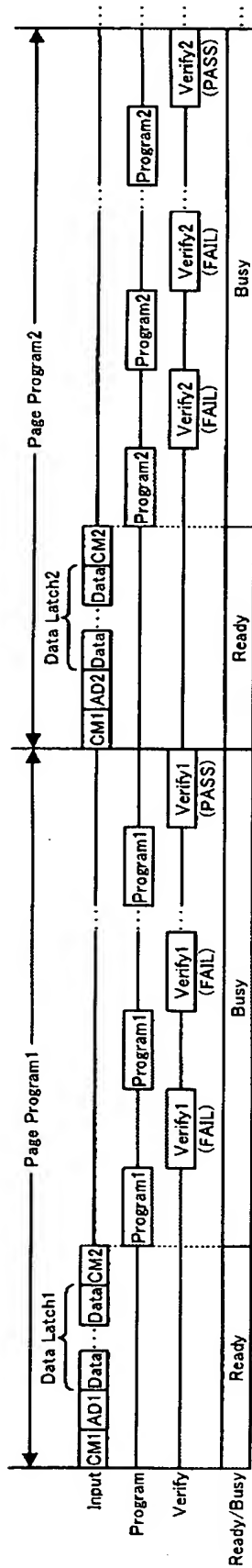


【図 15】



【図 16】





**【書類名】 要約書****【要約】**

**【課題】** データの高速書き込みが可能な不揮発性半導体記憶装置及びその書き込み方法を提供する。

**【解決手段】** ビット線毎あるいは複数のビット線毎に配置される書き込み回路が、複数ページの書き込みデータを格納するための複数のラッチ回路と、複数のラッチ回路とビット線とを接続するビット線接続回路とを備え、電圧発生回路がプログラム動作に必要な電圧を継続して発生した状態で、複数ページのプログラム動作を連続して行う連続プログラム動作と、電圧発生回路がベリファイ動作に必要な電圧を継続して発生した状態で、複数ページのベリファイ動作を連続して行う連続ベリファイ動作とを繰り返し行うことにより複数ページの書き込み動作を行う。

**【選択図】** 図 4

特願 2 0 0 3 - 0 4 4 4 5 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日  
[変更理由]

1 9 9 0 年 8 月 2 8 日  
新規登録

住 所  
氏 名

大阪府門真市大字門真 1 0 0 6 番地  
松下電器産業株式会社